

第3章

集成电路器件模型

集成电路设计中一项重要的工作就是验证所设计电路或系统的功能和性能。而进行验证都要使用半导体器件模型。建立半导体器件模型的目的是根据器件的端电压和端电流的关系,利用数学方程、等效电路以及工艺数据拟合等手段来描述器件的功能和性能。因此,精确的器件模型对于集成电路的设计尤为重要。

本章将从集成电路分析设计角度出发,在侧重讨论半导体器件物理效应的基础上,主要描述集成电路中的二极管、双极型晶体管、MOS 器件的电特性和模型。

3.1 二极管模型

理想的 PN 结二极管是最基本的非线性电路器件。它是一个二端器件,具有如图 3-1 所示的伏安特性。这里,我们主要介绍二极管的直流模型、大信号模型和小信号模型。

3.1.1 直流模型

直流偏置时,PN 结二极管可由一个等效电阻与一个非线性电流源相串联来表示,如图 3-2 所示。其中电阻 r_s 可视为二极管的接触电阻和准中性区电阻的串联,电流 I_D 的表达式为

$$I_D = I_S \left[\exp\left(\frac{V_D}{nV_T}\right) - 1 \right] \quad (3-1)$$

式中, $V_T = kT/q$ 为热电压, $T = 300\text{K}$ 时,其值约为 26mV ; n 为发射系数,用来描述耗尽区中的产生复合效应; I_S 为饱和电流

$$I_S = Aq \left(\frac{D_p p_{n0}}{L_p} + \frac{D_n n_{p0}}{L_n} \right) \quad (3-2)$$

式中, A 是 PN 结面积; D_p 和 D_n 分别是空穴和电子扩散系数,在室温下,硅中空穴的扩散系数为 $13\text{cm}^2/\text{s}$,电子的扩散系数为 $37.5\text{cm}^2/\text{s}$; n_{p0} 是 P 型区电子平衡态浓度; p_{n0} 是 N 型区空穴平衡态浓度; L_p 和 L_n 分别为空穴和电子的扩散长度。

高反向偏置时 PN 结会出现结击穿现象,根据电压值把反向特性分段描述,电流 I_D

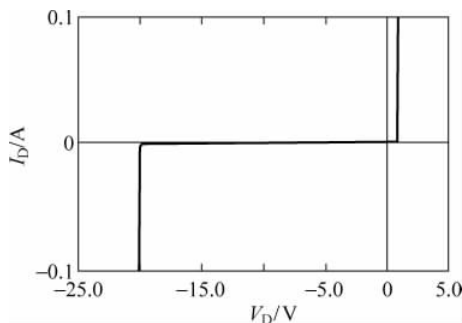


图 3-1 理想 PN 结二极管的伏安特性曲线示意图

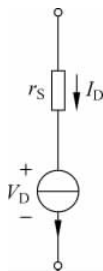


图 3-2 二极管直流模型

的表达式为

$$I_D = \begin{cases} I_S(e^{qV_D/nkT} - 1), & -5 \frac{nkT}{q} \leq V_D \leq 0 \\ -I_S, & -V_B < V_D < -5 \frac{nkT}{q} \\ -I_{BV}, & V_D = -V_B \\ -I_S\left(e^{-q(V_B+V_D)/kT} - 1 + \frac{qV_B}{kT}\right), & V_D < -V_B \end{cases} \quad (3-3)$$

其中, V_B 为反向击穿电压; I_{BV} 为反向击穿时的电流。

3.1.2 大信号模型

二极管的大信号模型描述了 PN 结的电容效应,模型如图 3-3 所示。PN 结电容包含结耗尽层电容和扩散电容两部分。以 Q_D 表示 PN 结存储的电荷, Q_D 由两部分组成: 一是注入载流子形成的电荷, 另一是结耗尽层中的电荷。电荷 Q_D 的表达式为

$$Q_D = \begin{cases} \tau_D I_D + C_J(0) \int_0^{V_D} \left(1 - \frac{V}{\varphi_0}\right)^{-m} dV, & V_D < F_C \cdot \varphi_0 \\ \tau_D I_D + C_J(0) F_1 + \frac{C_J(0)}{F_2} \int_{F_C \cdot \varphi_0}^{V_D} \left(F_3 + \frac{mV}{\varphi_0}\right) dV, & V_D \geq F_C \cdot \varphi_0 \end{cases} \quad (3-4)$$

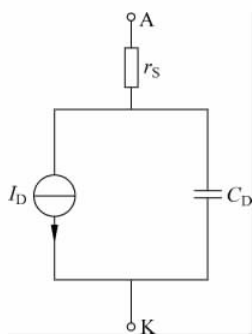


图 3-3 二极管大信号模型

式中, τ_D 为渡越时间; φ_0 为结电势; m 为梯度因子; F_C 为正偏耗尽层电容公式中的系数, 取值 $0 \sim 1$, 隐含值为 0.5 ; $C_J(0)$ 为零偏压时结耗尽层电容; F_1 、 F_2 、 F_3 为常数, 其值如下

$$\begin{cases} F_1 = \frac{\varphi_0}{1-m} [1 - (1 - F_C)^{1-m}] \\ F_2 = (1 - F_C)^{1+m} \\ F_3 = 1 - F_C(1 + m) \end{cases} \quad (3-5)$$

电容 C_D 为

$$C_D = \frac{dQ_D}{dV_D} = \begin{cases} \tau_D \frac{dI_D}{dV_D} + C_J(0) \left(1 - \frac{V_D}{\varphi_0}\right)^{-m}, & V_D < F_C \cdot \varphi_0 \\ \tau_D \frac{dI_D}{dV_D} + \frac{C_J(0)}{F_2} \left(F_3 + \frac{mV_D}{\varphi_0}\right), & V_D \geq F_C \cdot \varphi_0 \end{cases} \quad (3-6)$$

3.1.3 小信号模型

二极管小信号模型描述了交流小信号下二极管的电流-电压特性,模型如图 3-4 所示,其中小信号电导 g_D 定义为

$$g_D = \left. \frac{dI_D}{dV_D} \right|_{\text{工作点}} = \frac{d}{dV_D} \left[I_S \exp\left(\frac{V_D}{nV_T}\right) - 1 \right]$$

$$= \frac{I_S}{nV_T} \exp\left(\frac{V_D}{nV_T}\right) \quad (3-7)$$

电容为

$$C_D = \left. \frac{dQ_D}{dV_D} \right|_{\text{工作点}}$$

$$= \begin{cases} \tau_D g_D + C_J(0) \left(1 - \frac{V_D}{\varphi_0}\right)^{-m}, & V_D < F_C \cdot \varphi_0 \\ \tau_D g_D + \frac{C_J(0)}{F_2} \left(F_3 + \frac{mV_D}{\varphi_0}\right), & V_D \geq F_C \cdot \varphi_0 \end{cases} \quad (3-8)$$

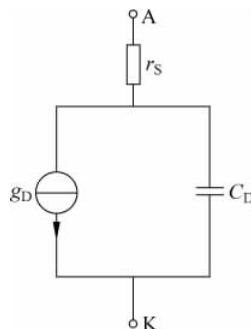


图 3-4 二极管小信号模型

3.1.4 PN 结二极管温度效应

PN 结二极管模型中许多参数都与温度相关,其中结饱和电流随温度的变化可表示为

$$I_S(T) = I_S(T_{\text{nom}}) \left(\frac{T}{T_{\text{nom}}}\right)^{X_{TI}/n} \exp\left[-\frac{qE_g(300)}{nkT} \left(1 - \frac{T}{T_{\text{nom}}}\right)\right] \quad (3-9)$$

式中, E_g 为禁带宽度; T_{nom} 为标称温度,隐含值为 27°C (300K); X_{TI} 为饱和电流的温度指数因子。

结电势 φ_0 的温度效应可表示为

$$\varphi_0(T) = \left(\frac{T}{T_{\text{nom}}}\right) \varphi_0(T_{\text{nom}}) - \frac{2kT}{q} \ln\left(\frac{T}{T_{\text{nom}}}\right)^{1.5} - \left[\frac{T}{T_{\text{nom}}} E_g(T_{\text{nom}}) - E_g(T)\right] \quad (3-10)$$

对硅而言为

$$E_g(T) = E_g(0) - \frac{\alpha T^2}{\beta + T} \quad (3-11)$$

其中, $E_g(0) = 1.16\text{eV}$; $\alpha = 7.02 \times 10^{-4}$; $\beta = 1108$ 。

零偏压结耗尽区电容 $C_J(0)$ 为

$$C_J(T) = C_J(T_{\text{nom}}) \left\{ 1 + m \left[400 \times 10^{-6} (T - T_{\text{nom}}) - \frac{\varphi_0(T) - \varphi_0(T_{\text{nom}})}{\varphi_0(T_{\text{nom}})} \right] \right\} \quad (3-12)$$

PN 结二极管模型参数由表 3-1 给出,共有 14 个。

表 3-1 二极管模型参数

参数名	SPICE 关键字	含 义	隐含值	单位
I_S	IS	饱和电流	10^{-14}	A
r_s	RS	等效电阻	0.0	Ω
n	N	发射系数	1	
τ_D	TT	渡越时间	0.0	s
$C_J(0)$	CJ0	零偏压结电容	0.0	F
φ_0	VJ	结电势	1	V

续表

参数名	SPICE 关键字	含 义	隐含值	单位
m	M	梯度因子	0.5	
E_g	EG	禁带宽度: 对硅为 1.1; 对锗为 0.67	1.11	eV
X_{TI}	XTI	饱和电流温度指数因子	3.0	
F_C	FC	正偏时耗尽层电容公式中系数	0.5	
V_B	BV	反向击穿电压	∞	V
I_{BV}	IBV	反向击穿电流	10^{-3}	A
K_f	KF	闪烁噪声系数	0.0	
A_f	AF	闪烁噪声指数因子	1	

3.2 双极型晶体管模型

双极型晶体管(简称 BJT)有多种模型,最早的是 EM(Ebers-Moll)模型,后续还有 Beaufoy-Sparks 的电荷控制模型和 Linvill 的集总模型以及 GP(Gummel-Poon)模型。目前,计算机辅助电路分析中使用最多的是 EM 模型和 GP 模型。

3.2.1 EM 模型

1. 直流模型

EM 模型是 J. J. Ebers 和 J. L. Moll 于 1954 年提出的,是基于晶体管中两个 PN 结的相互作用来表示双极型晶体管中载流子的注入和抽取,具有简单直观的特点。该模型为双极型晶体管复杂的计算机辅助计算提供了基本框架。这里以 NPN 晶体管为例,给出 EM 的等效电路方程。

如图 3-5 所示,研究基极电流时,可分别考虑基极与发射极之间的电流以及基极与集电极之间的电流。下面引入两个新的参量——正向放大偏置下的二极管电流 I_F 和反向放大偏置下的二极管电流 I_R ,即

$$I_F = I_{ES}[\exp(qV_{BE}/kT) - 1] \quad (3-13)$$

$$I_R = I_{CS}[\exp(qV_{BC}/kT) - 1] \quad (3-14)$$

根据基尔霍夫电流定律,EM 等效电路方程可表示为

$$I_E + I_B + I_C = 0$$

$$I_C = \alpha_F I_F - I_R$$

$$I_E = \alpha_R I_R - I_F \quad (3-15)$$

将图 3-5 的模型拓扑图改为混合 π 模型的形式,如图 3-6 所示。这时二极管电流改为 I_{CC}/β_F 和 I_{EC}/β_R ,其中 β_F 和 β_R 分别为共发射极晶体管的正向和反向电流增益。端电流公式可变为

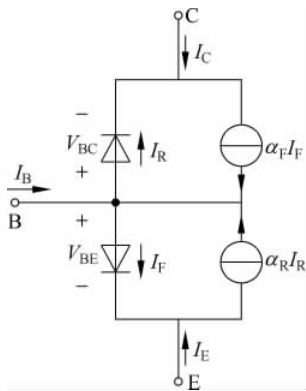
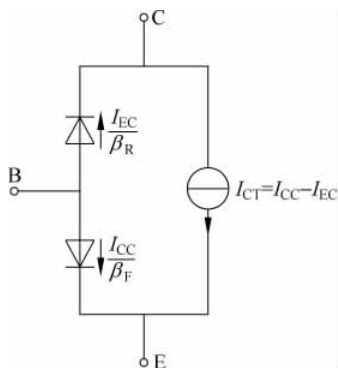
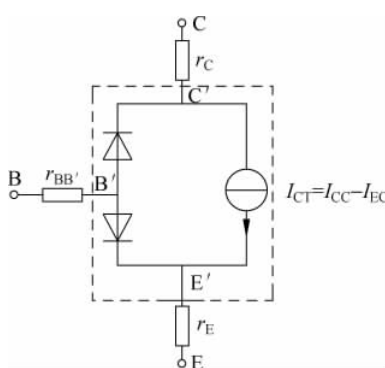


图 3-5 EM 直流模型

$$\begin{cases} I_C = I_{CT} - \frac{I_{EC}}{\beta_R} \\ I_E = -\frac{I_{CC}}{\beta_F} - I_{CT} \\ I_B = \frac{I_{CC}}{\beta_F} + \frac{I_{EC}}{\beta_R} \end{cases} \quad (3-16)$$

以上的 EM 直流模型忽略了基极、集电极和发射极的寄生电阻,忽略了基区宽度调制效应,忽略了在基区和集电区的大注入效应。这里引入三个电阻参数,即 r_C 、 r_E 和 $r_{BB'}$, 如图 3-7 所示,它们分别接在晶体管有效区与端口之间。


 图 3-6 EM 模型的 π 形式

 图 3-7 考虑寄生电阻的 EM 模型的 π 形式

基区宽度调制效应是指由于集电极-基极电压的变化引起集电结耗尽层宽度的变化,而造成基区宽度的改变。现用参数欧拉电压 V_{AF} 来描述正向基区宽度调制效应,有

$$\begin{cases} V_{AF} = \left[\frac{1}{W_B(0)} \frac{dW_B}{dV_{B'C'}} \Big|_{V_{B'C'}=0} \right]^{-1}, & \text{NPN 管} \\ V_{AF} = \left[-\frac{1}{W_B(0)} \frac{dW_B}{dV_{B'C'}} \Big|_{V_{B'C'}=0} \right]^{-1}, & \text{PNP 管} \end{cases} \quad (3-17)$$

式中, W_B 为基区宽度; $W_B(0)$ 为 $V_{B'C'}=0$ 时的基区宽度。

2. 大信号模型

大信号模型考虑了电荷存储效应,主要是:两个非线性结电容(C_{JE}, C_{JC}),两个非线性扩散电容(C_{DE}, C_{DC})和一个集电极-衬底电容(C_{JS})。模型如图 3-8 所示,各电容值如下

$$\begin{cases} C_{JE} = \frac{C_{JE}(0)}{(1 - V_{B'E'}/\varphi_E)^{m_E}} \\ C_{JC} = \frac{C_{JC}(0)}{(1 - V_{B'C'}/\varphi_C)^{m_C}} \\ C_{DE} = \frac{I_S}{V_T} \tau_F \exp\left(\frac{V_{B'E'}}{V_T}\right) \\ C_{DC} = \frac{I_S}{V_T} \tau_R \exp\left(\frac{V_{BC'}}{V_T}\right) \\ C_{JS} = \frac{C_{JS}(0)}{(1 - V_{C'S}/\varphi_S)^{m_S}} \end{cases} \quad (3-18)$$

式中, τ_F 和 τ_R 分别为正向基区渡越时间和反向基区渡越时间。

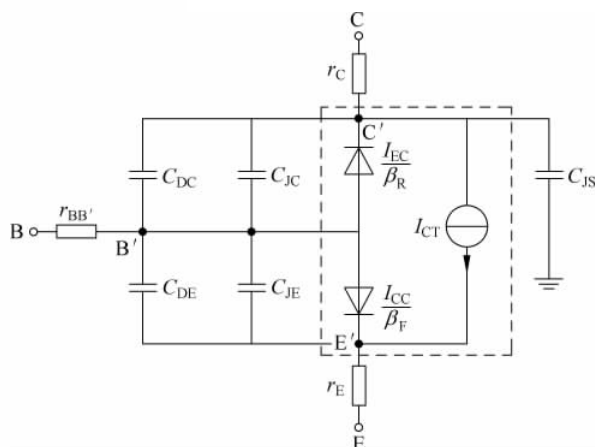


图 3-8 EM 大信号模型

3. 小信号模型

EM 的小信号模型如图 3-9 所示。各模型参数推导如下。

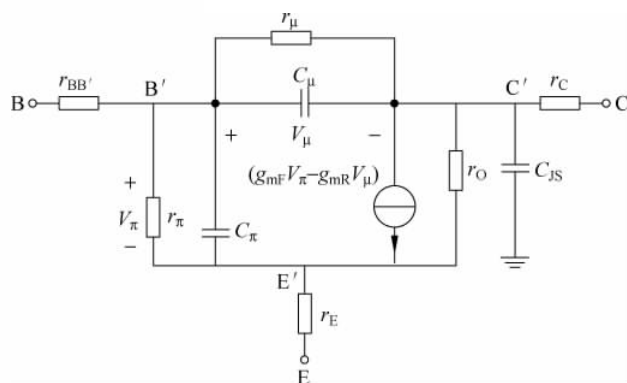


图 3-9 EM 小信号模型

当晶体管偏置在放大区时,且假设 $V_{B'E'} \gg kT/q$ 和 $V_{B'C'} \leq 0$,则集电极电流与基极-发射极电压之间的关系为

$$I_C = I_S e^{qV_{B'E'}/kT} \quad (3-19)$$

如 $V_{B'E'}$ 有一小的增量, I_C 的变化为

$$g_{mF} = \left. \frac{dI_C}{dV_{B'E'}} \right|_{\text{工作点}} = \frac{qI_S}{kT} \exp\left(\frac{qV_{B'E'}}{kT}\right) = \frac{q}{kT} I_C \bigg|_{\text{工作点}} \quad (3-20)$$

式中, g_{mF} 称为跨导。

基极电流随基极-发射极电压的变化也可从式(3-19)直接得到

$$g_\pi = \left. \frac{dI_B}{dV_{B'E'}} \right|_{\text{工作点}} = \left. \frac{d(I_C/\beta_F)}{dV_{B'E'}} \right|_{\text{工作点}}$$

$$= \frac{1}{\beta_F} \cdot \frac{q}{kT} I_S \exp\left(\frac{qV_{B'E'}}{kT}\right) = \frac{g_{mF}}{\beta_F} \quad (3-21)$$

其中, g_{π} 为正向输入跨导; β_F 是一常数。

已知, 集电极-基极电压对集电极电流的影响主要是由于欧拉效应的结果, 因而输出电导为

$$g_o = \left. \frac{dI_C}{dV_{B'E'}} \right|_{\text{工作点}} = \left. \frac{I_C}{|V_A|} \right|_{\text{工作点}} = \frac{g_{mF} kT}{q |V_A|} \quad (3-22)$$

如果假设 $V_{B'E'}$ 为一常数, 则

$$\left. \frac{dI_B}{dV_{B'E'}} \right|_{\text{工作点}} = \left. \frac{d(I_C/\beta_R)}{dV_{B'E'}} \right|_{\text{工作点}} = \frac{g_{mR}}{\beta_R} \equiv g_{\mu} \quad (3-23)$$

这里, $g_{mR} = \frac{qI_S}{kT} \exp\left(\frac{qV_{B'C'}}{kT}\right)$ 。因此, $V_{B'C'}$ 变化导致 I_B 的改变可等效为在集电极与基极之间有一电导 g_{μ} 或电阻 r_{μ} 。

图 3-9 中的电容为线性电容, 可以表示为

$$\begin{aligned} C_{\pi} &= \left. \frac{dQ_{B'E'}}{dV_{B'E'}} \right|_{\text{工作点}} = \left. \frac{d(Q_{DE} + Q_{JE})}{dV_{B'E'}} \right|_{\text{工作点}} \\ &= \tau_F \frac{qI_S}{kT} e^{qV_{B'E'}/kT} + C_{JE}(0) \left(1 - \frac{V_{B'E'}}{\varphi_E}\right)^{-m_E} \\ &= \tau_F g_{mF} + C_{JE}(V_{B'E'}) \end{aligned} \quad (3-24)$$

$$\begin{aligned} C_{\mu} &= \left. \frac{dQ_{B'C'}}{dV_{B'C'}} \right|_{\text{工作点}} = \left. \frac{d(Q_{DC} + Q_{JC})}{dV_{B'C'}} \right|_{\text{工作点}} \\ &= \tau_R \frac{qI_S}{kT} e^{qV_{B'C'}/kT} + C_{JC}(0) \left(1 - \frac{V_{B'C'}}{\varphi_C}\right)^{-m_C} \\ &= \tau_R g_{mR} + C_{JC}(V_{B'C'}) \end{aligned} \quad (3-25)$$

3.2.2 GP 模型

1. 直流模型

与 EM 模型相比较, GP 直流模型增加了以下几个物理效应。

(1) 小电流时 β 值下降

在小电流时, I_B 中应考虑载流子在表面的复合和在发射极-基极耗尽层中的复合以及发射极-基极表面沟道形成的复合。由于载流子在耗尽层中的复合是主要的, 其他两项可以忽略, 因而 I_B 项增加了成分

$$\begin{cases} C_2 I_S (e^{qV_{B'E'}/n_{EL}kT} - 1), & \text{对 } \beta_F \text{ 而言} \\ C_4 I_S (e^{qV_{B'C'}/n_{CL}kT} - 1), & \text{对 } \beta_R \text{ 而言} \end{cases} \quad (3-26)$$

式中 4 个参数 C_2 、 n_{EL} 、 C_4 和 n_{CL} 描述 I_B 中的额外成分。 C_2 和 C_4 分别称为正向和反向小电流非理想基极电流系数。 n_{EL} 和 n_{CL} 分别称为非理想小电流基极-发射极发射系数和基极-集电极发射系数。这相当于在 EM 直流模型(参见图 3-6 和图 3-7)中增加了两个非

理想二极管,如图 3-10 所示,其中

$$\begin{aligned} I_{LE} &= I_{SE}(e^{qV_{B'E'}/n_{EL}kT} - 1) \\ I_{LC} &= I_{SC}(e^{qV_{B'C'}/n_{CL}kT} - 1) \end{aligned} \quad (3-27)$$

式中, $I_{SE}=C_2 I_S$, $I_{SC}=C_4 I_S$ 。

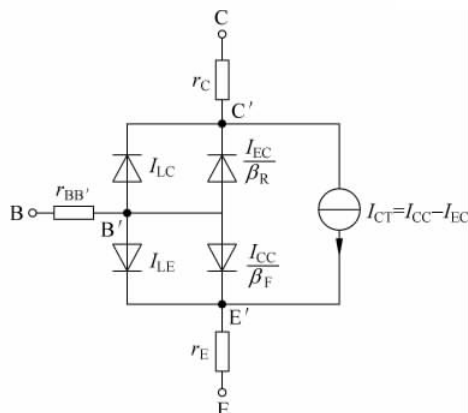


图 3-10 GP 直流模型

(2) 大注入效应

随着 $V_{B'E'}$ 的增加 I_C 变化减缓,即在大注入时, β 随电流的增加而下降。正向 β_F 大电流下降的电流点称为 I_{KF} ,反向 β_R 大电流下降的电流点称为 I_{KR} 。

(3) 基区宽度调制效应

在 GP 模型中除了正向欧拉电压 V_{AF} 参数外,还引入了反向欧拉电压 V_{AR} 这一参数。

(4) 发射系数的影响

在传输电流公式中增加了 n_F 和 n_R 两个参数,分别称为正向电流发射系数和反向电流发射系数。

考虑了上述(2)、(3)、(4)的效应后,GP 模型中的 I_{CC} 和 I_{EC} 将分别为

$$\begin{cases} I_{CC} = \frac{I_S}{q_B}(e^{qV_{B'E'}/n_F kT} - 1) \\ I_{EC} = \frac{I_S}{q_B}(e^{qV_{B'C'}/n_R kT} - 1) \end{cases} \quad (3-28)$$

式中, q_B 为归一化基区多子电荷,反映大注入效应和基区宽度调制效应。它由 q_1 和 q_2 两项组成,即

$$\begin{cases} q_B = \frac{q_1}{2}(1 + \sqrt{1 + 4q_2/q_1^2}) \\ q_1 = \frac{1}{1 - \frac{V_{B'C'}}{V_{AF}} - \frac{V_{B'E'}}{V_{AR}}} \\ q_2 = \frac{I_S}{I_{KF}} \left[\exp\left(\frac{qV_{B'E'}}{n_F kT}\right) - 1 \right] + \frac{I_S}{I_{KR}} \left[\exp\left(\frac{qV_{B'C'}}{n_R kT}\right) - 1 \right] \end{cases} \quad (3-29)$$

其中, q_1 项中的 V_{AF} 和 V_{AR} 反映基区调制效应对晶体管输出电导的影响; q_2 项中的 I_{KF} 和 I_{KR} 则反映了大电流下 β 值的变化。

(5) 基极电阻随电流变化

GP 模型中的基极电阻 $r_{BB'}$ 考虑了随 I_B 的变化,其表达式为

$$\begin{cases} r_{BB'} = r_{BM} + 3(r_B - r_{BM}) \left(\frac{\tan Z - Z}{Z \tan^2 Z} \right) \\ Z = \frac{-1 + \left[1 + 144 \frac{I_B}{\pi^2 I_{rB}} \right]^{1/2}}{\frac{24}{\pi^2} \left(\frac{I_B}{I_{rB}} \right)^{1/2}} \end{cases} \quad (3-30)$$

其中, r_B 为零偏压时的基极电阻; r_{BM} 为大电流时的最小基极电阻; I_{rB} 为基极电阻向最小值下降并处于一半时的电流。如不设定 I_{rB} (即 $I_{rB}=0$), $r_{BB'}$ 为

$$r_{BB'} = r_{BM} + \left(\frac{r_B - r_{BM}}{q_B} \right) \quad (3-31)$$

这样 GP 模型的电流表达式为

$$\begin{cases} I_C = \frac{I_S}{q_B} \left[\exp\left(\frac{qV_{B'E'}}{n_F kT}\right) - \exp\left(\frac{qV_{B'C'}}{n_R kT}\right) \right] - \frac{I_S}{\beta_R} \left[\exp\left(\frac{qV_{B'C'}}{n_R kT}\right) - 1 \right] \\ \quad - I_{SC} \left[\exp\left(\frac{qV_{B'C'}}{n_{CL} kT}\right) - 1 \right] \\ I_B = \frac{I_S}{\beta_F} \left[\exp\left(\frac{qV_{B'E'}}{n_F kT}\right) - 1 \right] + \frac{I_S}{\beta_R} \left[\exp\left(\frac{qV_{B'C'}}{n_R kT}\right) - 1 \right] \\ \quad + I_{SE} \left[\exp\left(\frac{qV_{B'E'}}{n_{EL} kT}\right) - 1 \right] + I_{SC} \left[\exp\left(\frac{qV_{B'C'}}{n_{CL} kT}\right) - 1 \right] \end{cases} \quad (3-32)$$

2. 大信号模型

GP 大信号模型在结构上与 EM 的大信号模型相类似, 如图 3-11 所示, 其中部分参数引入了修正的内容。

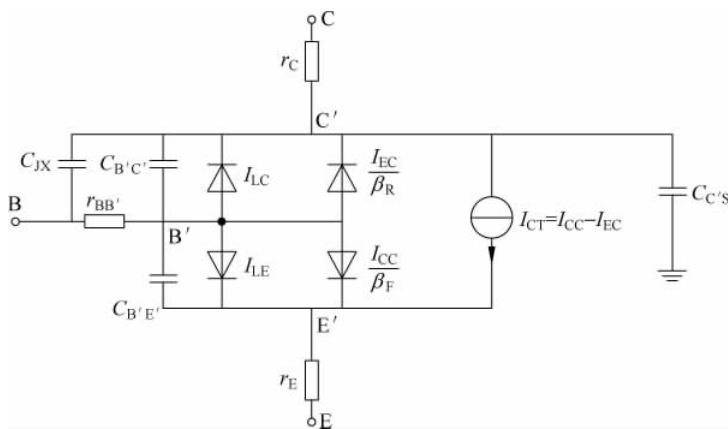


图 3-11 GP 大信号模型

(1) 集电结电容的分布特性

GP 模型中把集电结电容 C_{JC} 划分成两个电容, 一个为连接在基极内节点 B' 和集电极内节点 C' 之间的电容, 其值为 $C_{BC} = X_{CJC} C_{JC}$, 另一个为连接在基极外节点 B 和集电极内节点 C' 之间的电容, 其值为 $C_{JX} = (1 - X_{CJC}) C_{JC}$ 。 X_{CJC} 为一参数, 表示集电结耗尽层电容连到内部基极节点的百分数 (取值 0~1)。图 3-11 中几个电容分别为

$$\begin{cases} C_{B'E'} = C_{JE} + C_{DE} \\ C_{B'C'} = X_{CJC} C_{JC} + C_{DC} \\ C_{JX} = (1 - X_{CJC}) C_{JC} \\ C_{C'S} = C_{JS} \end{cases} \quad (3-33)$$

(2) 渡越时间随偏置的变化

图 3-12 给出渡越时间 τ_{FF} 与集电极电流 I_C 之间的关系。大电流时, τ_{FF} 不再是常数,

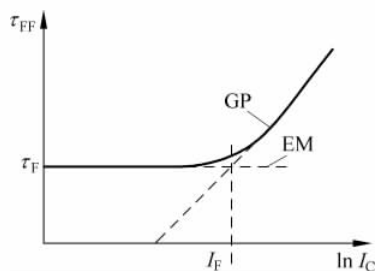


图 3-12 τ_{FF} 与 I_C 关系的示意图

而是 I_C 和 $V_{B'C'}$ 的函数,表明大电流对存储电荷的影响。这一效应由以下经验式来描述:

$$\tau_{FF} = \tau_F \left\{ 1 + X_{\tau F} \left[\exp \left(\frac{V_{B'C'}}{1.44 V_{\tau F}} \right) \right] \left(\frac{I_C}{I_C + I_{\tau F}} \right)^2 \right\} \quad (3-34)$$

式中新引入了 4 个模型参数: τ_F 为理想的正向渡越时间, $X_{\tau F}$ 为 τ_{FF} 随偏置变化的参数, $V_{\tau F}$ 为描述 τ_{FF} 随 $V_{B'C'}$ 变化的电压, $I_{\tau F}$ 是影响 τ_{FF} 的大电流参数。

式(3-34)表明,当 I_C 与 $I_{\tau F}$ 可比时,随着 I_C 的增加, τ_{FF} 将迅速增加。

(3) 基区中的分布现象

由于基区中分布现象的存在,使从实际器件中测量到的相移比模型预计的要大。为此,引入了超相移参数 $P_{\tau F}$,它被定义为理想的最高带宽时的相移延迟,即在频率 $f = (2\pi\tau_F)^{-1}$ 时的超相移。 $P_{\tau F}$ 描述交流分析中跨导的延迟(线性附加相移),同时用于瞬态分析时二阶贝塞尔多项式的近似之中。

3. 小信号模型

GP 小信号模型如图 3-13 所示,与 EM 小信号模型基本一致,这里不再赘述。

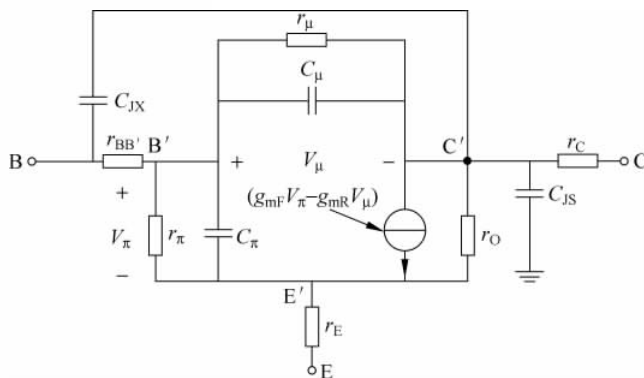


图 3-13 GP 小信号模型

双极型晶体管模型中的部分参数由表 3-2 给出。

表 3-2 双极型晶体管部分模型参数

参数名	SPICE 关键字	含 义	隐含值	单位
I_S	IS	饱和电流	10^{-16}	A
β_F	BF	理想的最高正向电流增益	100	
β_R	BR	理想的最高反向电流增益	1	

续表

参数名	SPICE 关键字	含 义	隐含值	单位
n_F	NF	正向电流发射系数	1	
n_R	NR	反向电流发射系数	1	
n_{EL}	NE	非理想小电流基极-发射极发射系数	1.5	
n_{CL}	NC	非理想小电流基极-集电极发射系数	2	
V_{AF}	VAF	正向欧拉电压	∞	V
V_{AR}	VAR	反向欧拉电压	∞	V
I_{KF}	IKF	正向 β_F 大电流下降的电流点	∞	A
I_{KR}	IKR	反向 β_R 大电流下降的电流点	∞	A
r_C	RC	集电极电阻	0.0	Ω
r_E	RE	发射极电阻	0.0	Ω
r_B	RB	零偏压基极电阻	0.0	Ω
τ_F	TF	理想正向渡越时间	0.0	s
τ_R	TR	理想反向渡越时间	0.0	s
$C_{JE}(0)$	CJE	零偏压基极-发射极耗尽层电容	0.0	F
$C_{JC}(0)$	CJC	零偏压基极-集电极耗尽层电容	0.0	F
$C_{JS}(0)$	CJS	零偏压集电极-衬底结耗尽层电容	0.0	F
m_E	MJE	基极-发射极结梯度因子	0.33	
φ_E	VJE	基极-发射极结内建电势	0.75	V
φ_C	VJC	基极-集电极结内建电势	0.75	V
φ_S	VJS	衬底结内建电势	0.75	V
K_f	KF	闪烁噪声系数	0.0	
A_f	AF	闪烁噪声指数因子	1	

3.3 MOS 场效应晶体管模型

自 MOS 场效应晶体管(MOSFET)问世以来,人们对其物理模型的研究一直没有停止过,从只适用于长沟道器件的 SPICE Level1 模型到包括亚微米短沟器件二阶效应的 SPICE Level2、Level3 模型。在此之后,贝尔实验室(AT&T)提出了简单的短沟道 IGFET 模型(CSIM)。从 20 世纪 80 年代末到 21 世纪初,加州大学伯克利分校相继推出了短沟道 IGFET 模型 BSIM (Berkeley short-channel IGFET Model, BSIM),其中 BSIM3/4 模型已被当前工业界接受为标准的 MOS 器件模型。而且有专门的公司(诸如台积电(TSMC)、台联电(UMC)、Intel、IBM 等公司)在提供芯片生产服务的同时,也为集成电路设计者提供基于相应工艺的器件模型。随着 CMOS 工艺中特征尺寸的不断减小, MOS 器件建模正在不断地面临新的挑战。目前,对于深亚微米/纳米 MOS 器件的建模研究是微电子工业界、学术界研究的热点之一。

3.3.1 MOSFET 电流方程模型

MOS 晶体管分为 N 沟道(导电载流子为电子)和 P 沟道(导电载流子为空穴)两种类型,分别称为 NMOSFET 和 PMOSFET。图 3-14 为 NMOSFET 的基本结构,衬底为 P 型,源漏区为 N^+ 型区,当栅极施加电压 V_{GS} 大于阈值电压 V_{TH} 使 P 型衬底表面反型时,才有导电沟道将源漏相连。PMOSFET 的衬底和源漏区的导电类型与 NMOSFET 的相反。图 3-15 为 MOSFET 符号,并表明了大信号模型的电压和电流的正方向。

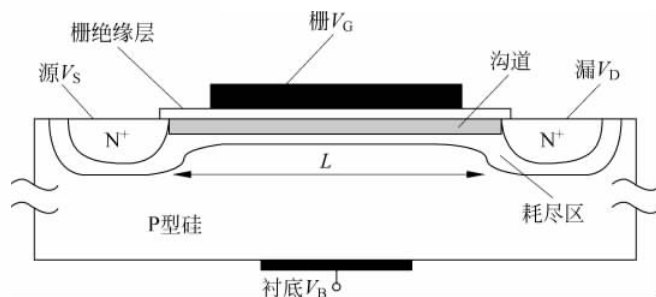


图 3-14 NMOSFET 的基本结构

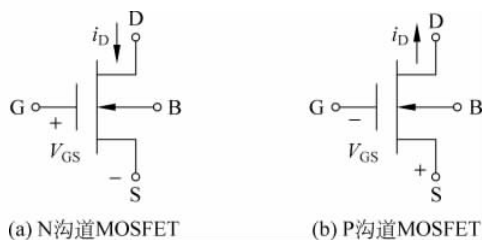


图 3-15 MOSFET 的常用符号

下面以 NMOSFET 为例进行介绍。

MOSFET 根据端口间施加电压 V_{GS} 和 V_{DS} 的不同,漏源电流 I_{DS} 随电压的变化规律分成四个区域,即截止区、线性区、饱和区和击穿区。其中:

截止区 ($V_{GS} < V_{TH}$)

$$I_{DS} \approx 0 \quad (3-35)$$

线性区 ($V_{GS} \geq V_{TH}, 0 \leq V_{DS} \leq V_{GS} - V_{TH}$) 考虑沟道长度调制效应时,

$$I_{DS} = \frac{1}{2} \mu_0 C_{ox} \frac{W}{L} [2(V_{GS} - V_{TH})V_{DS} - V_{DS}^2] (1 + \lambda V_{DS}) \quad (3-36)$$

饱和区 ($V_{GS} \geq V_{TH}, V_{DS} \geq V_{GS} - V_{TH}$) 考虑沟道长度调制效应时,

$$I_{DS} = \frac{1}{2} \mu_0 C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (3-37)$$

式中, $C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}}$ 为单位面积栅氧化层电容; $\mu_0 C_{ox} = K_P$ 称为本征跨导; λ 为沟道长度调制

系数。

在 V_{GS} 和 V_{DS} 不变的情况下,随着 V_{BS} 变小(绝对值增大),阈值电压增大,使漏极电流相应地变小。因此,衬底与栅极的作用类似,也能控制漏极电流的变化。衬底电位与漏极电流的关系曲线如图 3-16 所示。图中的横坐标是栅源电压 V_{GS} ,纵坐标是漏极电流 I_D ,它表示衬底电压对受控电流 I_{DS} 的影响。N 沟道 MOSFET 的阈值电压表达式为

$$V_{TH} = V_{T0} + \gamma(\sqrt{2\varphi_F - V_{BS}} - \sqrt{2\varphi_F}) \quad (3-38)$$

式中, V_{BS} 为衬底偏置电压; V_{T0} 为 $V_{BS} = 0$ 时的阈值电压; γ 为体效应系数,典型值为 $0.3 \sim 0.4 \text{ V}^{1/2}$; φ_F 是费米电势, $2\varphi_F$ 为表面反型电势。

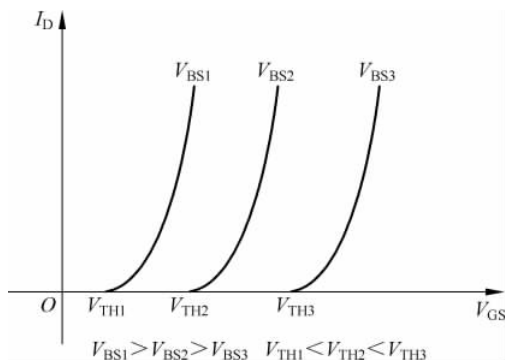


图 3-16 NMOS 管的背栅效应示意图

源漏 PN 结中的电流可用二极管的公式来表示,即有

$$I_{BS} = \begin{cases} I_S \left[\exp\left(\frac{qV_{BS}}{kT}\right) - 1 \right], & V_{BS} > 0 \\ \frac{qI_S}{kT} V_{BS}, & V_{BS} \leq 0 \end{cases} \quad (3-39)$$

$$I_{BD} = \begin{cases} I_S \left[\exp\left(\frac{qV_{BD}}{kT}\right) - 1 \right], & V_{BD} > 0 \\ \frac{qI_S}{kT} V_{BD}, & V_{BD} \leq 0 \end{cases} \quad (3-40)$$

式中, I_S 为衬底结饱和电流。

式(3-39)和式(3-40)中的 I_S 、 μ_0 、 K_P 、 V_{T0} 、 $2\varphi_F$ 、 λ 、 γ 是 MOS 器件的模型参数。

3.3.2 MOSFET 大信号模型

在许多电路设计中, MOS 器件是在交流信号下工作的,需要考虑电容效应。MOSFET 的大信号模型由图 3-17 给出。

图中的压控电流源 I_D 代表漏极电流 I_{DS} 。 R_D 和 R_S 分别表示漏极和源极的欧姆接触电阻,它们的阻值一般很低,通常可以忽略。栅-源覆盖电容 C_{GS} 、栅-漏覆盖电容 C_{GD} 、

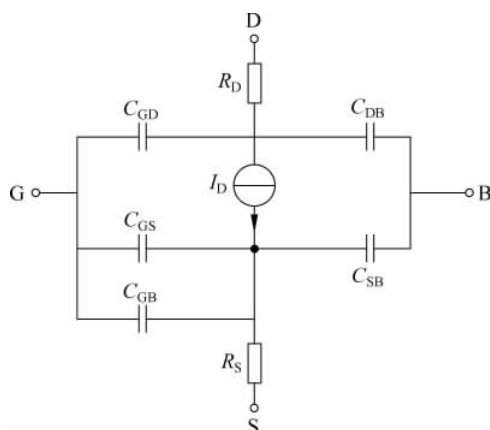


图 3-17 MOSFET 大信号模型示意图

栅-衬底覆盖电容 C_{GB} 、源-衬底电容 C_{SB} 和漏-衬底电容 C_{DB} 往往决定了 MOS 管的交流特性,在 MOSFET 的物理结构中,这些电容由图 3-18 给出。

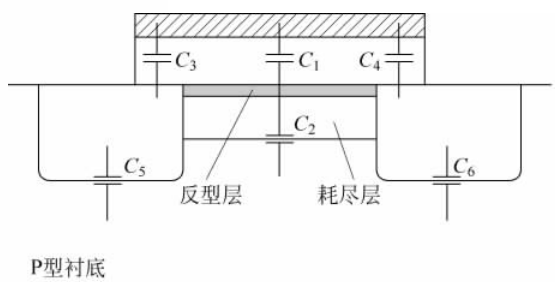


图 3-18 MOSFET 电容的物理模型示意图

我们把电容分为几类:①栅和沟道之间的氧化层电容 $C_1 = WLC_{ox}$ 。②衬底和沟道之间的耗尽层电容 $C_2 = WL \sqrt{q\epsilon_{si}N_{sub}/(4\phi_F)}$ 。③多晶硅栅与源和漏交叠而产生的电容 C_3 和 C_4 。 C_3 和 C_4 的电容量需要通过复杂计算得到。④源/漏区与衬底之间的结电容 C_5 和 C_6 。 C_5 和 C_6 电容一般分为两部分:与结的底部相关的下极板电容 C_J 和由于结周边引起的侧壁电容 C_{JSW} 。一般 C_J 和 C_{JSW} 分别表示单位面积和单位长度的电容。注意每个结电容都可以为 $C_J = C_{J0}/[1+V_R/\phi_B]^m$,其中: C_{J0} 是单位面积零偏压结电容, V_R 是结的反向电压, ϕ_B 是结的内建电势,幂指数 m 的值一般在 0.3~0.4 之间。

这里,我们用式(3-41)~(3-43)描述不同工作区域内 MOSFET 的电容。

$$\text{截止区:} \begin{cases} C_{GB} = C_{ox}(W_{eff})(L_{eff}) + C_{GBO}(L_{eff}) \\ C_{GS} \approx C_{ox}(L_D)(W_{eff}) \\ C_{GD} \approx C_{ox}(L_D)(W_{eff}) \end{cases} \quad (3-41)$$

$$\text{饱和区:} \begin{cases} C_{GB} = C_{GBO}(L_{eff}) \\ C_{GS} = C_{GSO}(W_{eff}) + 0.67C_{ox}(W_{eff})(L_{eff}) \\ C_{GD} \approx C_{GDO}(W_{eff}) \end{cases} \quad (3-42)$$

$$\text{线性区: } \begin{cases} C_{GB} = C_{GBO}(L_{\text{eff}}) \\ C_{GS} = (C_{GSO} + 0.5C_{ox}L_{\text{eff}})W_{\text{eff}} \\ C_{GD} = (C_{GDO} + 0.5C_{ox}L_{\text{eff}})W_{\text{eff}} \end{cases} \quad (3-43)$$

式中, C_{GBO} 为单位沟道长度栅-衬底覆盖电容; C_{GSO} 为单位沟道长度栅-源覆盖电容; C_{GDO} 为单位沟道长度栅-漏覆盖电容; L_D 为横向扩散长度。

当器件关断时, $C_{GD} = C_{GS}$, 栅-衬底电容 C_{GB} 由氧化层电容和耗尽区电容串联得到。 C_{SB} 和 C_{DB} 的值是源电压和漏电压相对于衬底电压的函数。

在饱和区, 栅和沟道之间的电势差从源极的 V_{GS} 变化到夹断点的 $V_{GS} - V_{TH}$, 从而导致栅氧化层中垂直电场沿着沟道方向不均匀, C_{GD} 和 C_{GS} 不相等。

在线性区, 栅极下产生导电沟道, C_{GD} 和 C_{GS} 基本对称。

为了更形象地表示 C_{GS} 、 C_{GD} 和 C_{GB} 的变化规律, 我们将 MOSFET 在不同工作区的电容曲线由图 3-19 给出。

上述中的 R_D 、 R_S 、 C_{j0} 、 ϕ_B 、 C_{GBO} 、 C_{GSO} 、 C_{GDO} 、 L_D 、 N_{sub} 是 MOS 器件的模型参数。

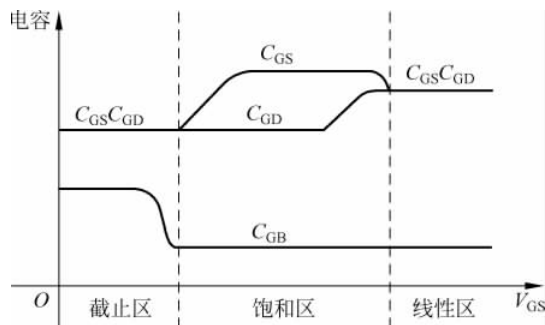


图 3-19 栅极电容在不同工作区的变化规律

3.3.3 MOSFET 小信号模型

MOS 管的交流小信号分析以其直流工作点为基础, 在工作点附近采用线性化方法得出模型, 模型中的参数由直流工作点的电流、电压确定, 它反映的是 MOSFET 对具有一定频率信号的响应。

MOSFET 是一个压控电流器件, 在直流大信号时可用一个压控电流源来表示, 同样, 在交流小信号模型中, 它也是一个受控电流源。如图 3-20 所示, 两者的区别在于前者是直流受控源, 体现直流电流随偏置电压变化的规律; 后者是交流受控源, 它体现在确定的直流工作点上, 小信号电压控制电流的能力。

为表示小信号下 MOS 管的栅极电压 v_{gs} 对漏极电流 i_{ds} 的控制能力, 定义一个性能参数, 跨导, 其表达式为

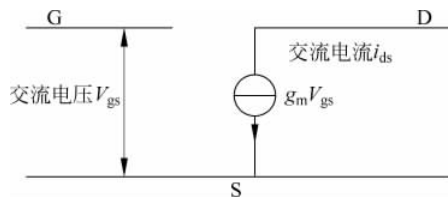


图 3-20 MOS 管的交流小信号模型

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{DS}=\text{constan}z} \quad (3-44)$$

根据式(3-44),我们以 NMOSFET 为例,分别计算 MOSFET 在饱和区、线性区和亚阈值区的跨导 g_m 的大小。

饱和区:

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) (1 + \lambda V_{DS}) \quad (3-45)$$

通常为了方便计算,忽略沟道长度调制效应,这样饱和区跨导为

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \quad (3-46)$$

结合饱和区电流的表达式(2-5),可以将式(3-46)变形为

$$g_m = \frac{2I_{DS}}{V_{GS} - V_{TH}} = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_{DS}} \quad (3-47)$$

线性区:通常为了方便计算,忽略沟道长度调制效应,有

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \mu_n C_{ox} \frac{W}{L} V_{DS} \quad (3-48)$$

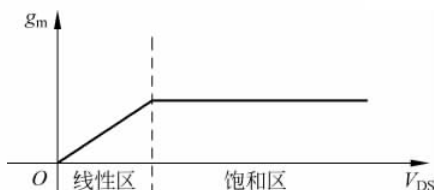


图 3-21 跨导 g_m 随电压 V_{DS} 变化示意图

由式(3-48)可知,在线性区跨导 g_m 和 V_{DS} 之间成线性关系, V_{DS} 越小, MOSFET 工作状态越接近深线性区,跨导值越小。图 3-21 显示了 MOSFET(宽长比 W/L 不变)在相同栅源电压下,跨导 g_m 随电压 V_{DS} 变化的规律。

g_m 在线性区随 V_{DS} 的增大而线性增加,

在线性区和饱和区的交界处($V_{DS}=V_{GS}-V_{TH}$)达到最大值 $\mu_n C_{ox} \frac{W}{L} (V_{GS}-V_{TH})$ 。

亚阈值区:亚阈值电流为 $I_{DS} = I_{D0} \frac{W}{L} \exp\left(\frac{V_{GS}-V_{TH}}{\eta V_T}\right) \left(1 - \exp\left(\frac{-V_{DS}}{V_T}\right)\right)$

则

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = I_{D0} \frac{W}{L} \exp\left(\frac{V_{GS}-V_{TH}}{\eta V_T}\right) \left(1 - \exp\left(\frac{-V_{DS}}{V_T}\right)\right) \frac{1}{\eta V_T} = I_{DS} \frac{1}{\eta V_T} \quad (3-49)$$

比较亚阈值区的跨导式(3-49)和饱和区的跨导式(3-45)可以看出,对于同一个 MOSFET(W/L 相同),跨导 g_m 在亚阈值区和栅源电压 V_{GS} 成指数关系,在饱和区和 V_{GS} 成线性关系。亚阈值区的跨导值小于饱和区的跨导值。这一关系如图 3-22 所示。

上述小信号模型对于多数的低频交流小信号分析来说是足够的。当工作频率升高时,必须考虑 MOSFET 寄生电容的作用。因此,完整的

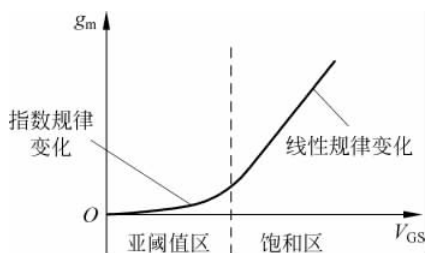


图 3-22 亚阈值区跨导和饱和区跨导曲线示意图

MOS 小信号模型可由图 3-23 给出。

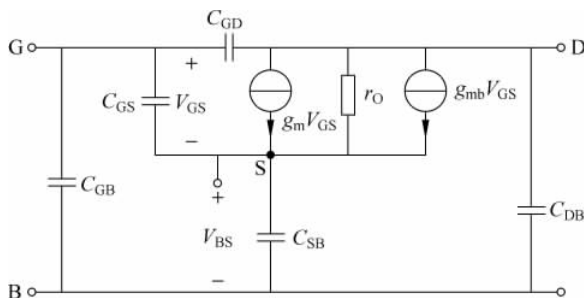


图 3-23 完整的 MOS 小信号模型示意图

根据图 3-23,我们了解一下 MOS 管的频率特性。MOS 管的电流增益为 1 时的工作频率为 MOS 管的特征频率,记为 f_T 。对数字电路而言, f_T 表征了 MOS 管的开关速度。对模拟电路而言, f_T 表征了 MOS 管的工作频率。当前 CMOS 工艺的特征频率可达到 40~60GHz,90nm 或更为先进的 CMOS 工艺的特征频率在 100GHz 以上。下面给出小信号模型 f_T 表达式的推导。

若定义 v_{gs} 为输入电压, i_{in} 和 i_{out} 分别为输入和输出电流,则

$$i_{in} \approx j\omega(C_{GS} + C_{GD} + C_{GB})v_{gs} \quad (3-50)$$

若忽略流过 C_{GD} 的电流,令 $i_{out} \approx g_mv_{gs}$, 则

$$\frac{i_{out}}{i_{in}} \approx \frac{g_m}{j\omega(C_{GS} + C_{GD} + C_{GB})} \quad (3-51)$$

当式(3-51)等于 1 时,特征频率 f_T 为

$$f_T = \frac{1}{2\pi} \cdot \frac{g_m}{C_{GS} + C_{GD} + C_{GB}} \quad (3-52)$$

当 MOS 管工作在饱和区时,假设 C_{GS} 远大于 $C_{GD} + C_{GB}$, 则式(3-52)可简化为

$$f_T \approx \frac{1}{2\pi} \cdot \frac{g_m}{C_{GS}} \quad (3-53)$$

3.3.4 MOSFET 二阶及高阶效应模型

上述的讨论中引入的是简化物理模型,忽略了许多 MOSFET 器件物理中的二阶效应和高阶效应。

在亚微米(沟道长度在 $1 \sim 0.5\mu\text{m}$ 之间)、深亚微米工艺下,MOSFET 的沟道长度很短,沟道内电场强度很大,短沟使得 MOSFET 性能变差。为了理解小尺寸 MOSFET 的器件模型,下面讨论几种主要的短沟和窄沟效应的影响。

1. 沟道长度、宽度对阈值电压的影响

当沟道长度小于 $5\mu\text{m}$ 时,应考虑源区和漏区耗尽层对阈值电压的影响。

随着 V_{DS} 的增加,在漏区的耗尽层宽度将增大,这时漏区和源区的耗尽层宽度 W_D 和

W_S 分别为

$$\begin{cases} W_D = X_D \sqrt{2\varphi_F - V_{BS} + V_{DS}} \\ W_S = X_D \sqrt{2\varphi_F - V_{BS}} \end{cases} \quad (3-54)$$

式中, $X_D = \sqrt{2\epsilon_{Si}/(qN_{SUB})}$, 由于 W_D 的增加, 将导致阈值电压进一步下降。此时应对阈值电压公式中的体效应系数 γ 进行修正。

当沟道宽度较小($<5\mu\text{m}$)时, 实际的栅总有一部分要覆盖在场氧化层上, 因此场氧化层下引起耗尽电荷, 若沟道宽度很窄时, 该耗尽电荷所占比例将增大, 栅电压要加较大才能使沟道反型。这里用经验参数 δ 来拟合实验数据, 式(3-38)被修改为

$$V_{TH} = V_{FB} + 2\varphi_p + \gamma \sqrt{2\varphi_p - V_{BS}} + \delta \frac{\pi\epsilon_{Si}}{4C'_{ox}W} (2\varphi_p - V_{BS}) \quad (3-55)$$

式中, V_{FB} 为平带电压; C'_{ox} 为考虑氧化层下耗尽区的单位面积栅氧化层电容; ϵ_{Si} 为硅的介电系数。式中最后一项表示窄沟道效应, δ 为窄沟道效应系数, 它是 MOS 器件的模型参数。

2. 迁移率随表面电场的变化

(1) 水平电场中的速度饱和

硅半导体中的载流子运动速度 $v = \mu E$ 。在高电场强度下, 漂移速度 v 将达到一个饱和值 v_{SAT} , 约为 10^7 cm/s 。因此, 当载流子从源区进入沟道, 流向漏区被加速, 在沟道区的某一点, 载流子可能会达到速度饱和, 在极端情况下, 载流子会在整个沟道区域达到速度饱和。这时电流与栅源电压是线性关系, 与沟道长度无关, 即有

$$I_{DS} = v_{SAT} WC_{ox} (V_{GS} - V_{TH}) \quad (3-56)$$

那么, $g_m = v_{SAT} WC'_{ox}$, 因此, 在速度饱和时, 跨导是沟道长度和漏电流的弱函数。在典型的偏置条件下, MOSFET 表现出一些速度饱和, I/V 特性介于线性和平方律之间。值得注意的是随着 V_{GS} 的增加, 漏电流在沟道夹断之前已经饱和。如图 3-24(a) 所示, 当 V_{DS} 超过 $V_{D0} < V_{GS} - V_{TH}$ 时, 载流子速度饱和, 结果使得这时的饱和电流小于沟道夹断时, 即 $V_{DS} > V_{GS} - V_{TH}$ 的电流, 而且, 如图 3-24(b) 所示, 速度饱和时, V_{GS} 的增加引起 I_{DS} 增量变小, 因此跨导也要低于平方律特性所预期的值。

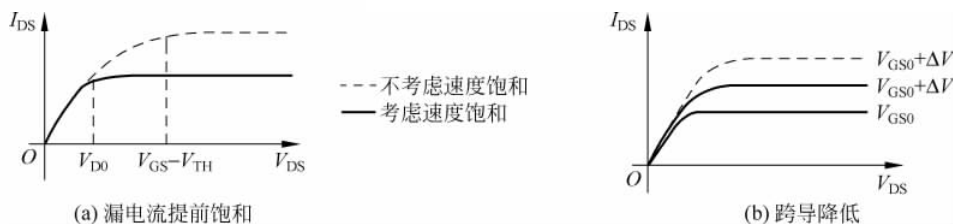


图 3-24 水平电场引起的速度饱和现象

载流子的水平运动速度 v 和漏源电压产生的水平电场 E_H 之间的关系为

$$v = v_{SAT} \frac{E_H/E_0}{\left[1 + \left(\frac{E_H}{E_0}\right)^\alpha\right]^{\frac{1}{\alpha}}} \quad (3-57)$$

式中, α 是经验参数, 载流子为电子时 $\alpha=2$, 空穴时 $\alpha=1$; E_0 是载流子速度饱和时对应的临界场强, 它和饱和速度的关系满足

$$E_0 = \frac{v_{\text{SAT}}}{\mu_0} \quad (3-58)$$

在饱和区反映速度饱和的一个紧凑通用的解析式为

$$I_{\text{DS}} = WC_{\text{ox}} v_{\text{SAT}} \frac{(V_{\text{GS}} - V_{\text{TH}})^2}{V_{\text{GS}} - V_{\text{TH}} + 2 \frac{v_{\text{SAT}} L}{\mu_{\text{eff}}}} \quad (3-59)$$

上述中的 v_{SAT} 和 E_0 是 MOS 器件的模型参数(模型参数中用 v_{max} 代表 v_{SAT} , U_{CRIT} 代表 E_0)。

(2) 垂直电场引起的迁移率退化

到目前为止, 在讨论运动速率极限时, 仅考虑了由 V_{DS} 所引起的沿沟道水平的电场强度, 然而, 栅极电压同样对载流子的运动速率产生很大影响。随着垂直电场强度 E_{V} 的上升, 沟道内的载流子将更靠近 Si-SiO₂ 界面, 使载流子在表面区域内的散射增强, 导致迁移率下降。模拟这种影响的一个经验公式为

$$\mu_{\text{eff}} = \frac{\mu_0}{1 + \theta(V_{\text{GS}} - V_{\text{TH}})} \quad (3-60)$$

式中, 拟合参数 θ 称为迁移率调制系数, 是 MOS 器件的一个模型参数, 约为 $(10^{-7}/t_{\text{ox}}) \text{V}^{-1}$ 。例如, $t_{\text{ox}}=100\text{\AA}$, 则 $\theta \approx 1 \text{V}^{-1}$ 。当过驱动电压值超过 100mV 时, 迁移率就会下降。注意, θ 随着栅氧化层厚度 t_{ox} 的降低而增加。

除了降低 MOSFET 的电流和跨导外, 迁移率退化也使得晶体管在饱和区 I/V 特性偏离简单的平方律特性, 其漏电流不仅有偶次谐波, 也存在奇次谐波。实际上, I_{DS} 可表示为

$$I_{\text{DS}} = \frac{1}{2} \frac{\mu_0 C_{\text{ox}}}{1 + \theta(V_{\text{GS}} - V_{\text{TH}})} \cdot \frac{W}{L} (V_{\text{GS}} - V_{\text{TH}})^2 \quad (3-61)$$

假设 $\theta(V_{\text{GS}} - V_{\text{TH}}) \ll 1$, 可以得到

$$I_{\text{DS}} = \frac{1}{2} \mu_0 C_{\text{ox}} \frac{W}{L} [(V_{\text{GS}} - V_{\text{TH}})^2 - \theta (V_{\text{GS}} - V_{\text{TH}})^3] \quad (3-62)$$

电流 I_{DS} 由于迁移率的退化而降低, 相应地, 跨导 g_{m} 也随之下降低。

3. 漏极诱导势垒降低效应

在短沟器件中, 随着 V_{DS} 的进一步增大, 漏致势垒降低(drain induced barrier lowering, DIBL)变得更加显著, 导致阈值电压漂移。漏极诱导势垒下降引起的阈值电压变化为

$$\Delta V_{\text{TH}}(V_{\text{DS}}) = \theta_{\text{TH}}(L_{\text{eff}})(E_{\text{ta0}} + E_{\text{tab}} V_{\text{BS}}) V_{\text{DS}} \quad (3-63)$$

式中, $\theta_{\text{TH}}(L_{\text{eff}}) = \frac{\partial V_{\text{TH}}}{\partial V_{\text{DS}}}$; E_{ta0} 为次开启区 DIBL 系数; E_{tab} 为次开启区 DIBL 体偏压系数。

在足够高的漏电压下, 漏区附近的碰撞电离产生较大的电流, DIBL 能够使晶体管的输出阻抗减小, 降低了短沟 MOSFET 的性能。这里用欧拉电压 V_{A} 来分析饱和区的输出电阻机理。

假设器件的寄生电阻为零, DIBL 效应引起的 $V_{A, DIBL}$ 表示为

$$\begin{aligned} V_{A, DIBL} &= I_{DSAT} \left(\frac{\partial I_{DS}}{\partial V_{TH}} \frac{\partial V_{TH}}{\partial V_{DS}} \right)^{-1} \\ &= \frac{1}{\theta_{TH}(L)} \left[(V_{GS} - V_{TH}) - \left(\frac{1}{A_{bulk} V_{DSAT}} + \frac{1}{V_{GS} - V_{TH}} \right)^{-1} \right] \end{aligned} \quad (3-64)$$

上式表明, $V_{A, DIBL}$ 与 L 有着强烈的依赖关系, 当沟道长度减小时, $V_{A, DIBL}$ 快速下降。此外 $V_{A, DIBL}$ 还与 V_{DS} 无关。

4. 亚阈值导电性

在前面对 MOSFET 工作模型的分析中, 我们认为栅源电压 $V_{GS} < V_{TH}$ 时, 导电沟道没有形成。实际上, 在亚阈值区, $V_{GS} \approx V_{TH}$ 时, 一个“弱”反型层已经存在, 并有一些源漏电流, 甚至当栅源电压 $V_{GS} < V_{TH}$, I_{DS} 也并不会随之下降至零, 而是呈指数下降。

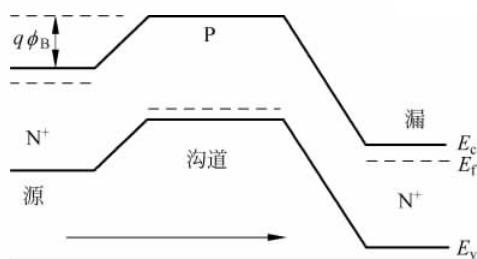


图 3-25 NMOS 管沟道能带示意图

由于漏极电压几乎全部落在反向偏置的漏衬结耗尽区上, 因此, 漏极电流中的漂移电流成分可以忽略。另一方面, 自由载流子浓度沿沟道方向的梯度相当大, 因此, 亚阈值电流的主要成分是扩散电流, 类似于基区均匀掺杂的双极型晶体管的基区电流。由图 3-25 可知, 加在栅极上的电压使半导体表面能带弯曲, 降低了从源区到沟道区的电子势垒 $q\phi_B$, 电子从重掺杂的源区注入到 P 型衬底的表面区, 大部分注入的电子被漏区收集。

由于势垒的作用, 当栅极电压低于阈值电压 V_{TH} 大约 0.2V 时, 这一效应可表示为

$$I_{DS} \approx I_{D0} \frac{W}{L} \exp\left(\frac{V_{GS} - V_{TH}}{\eta V_T}\right) \left(1 - \exp\left(\frac{-V_{DS}}{V_T}\right)\right) \quad (3-65)$$

式中, I_{D0} 是一个与工艺有关的参数; η 是亚阈值斜率因子, 通常满足 $1 < \eta < 3$; $V_T = kT/q$ 。当 V_{GS} 满足式(3-66)的条件时, 一般认为 MOS 管进入了亚阈值区域。

$$V_{GS} < V_{TH} + \eta \frac{kT}{q} \quad (3-66)$$

当 $V_{DS} > 3V_T$ 时, 式(3-65)中的后一项近似为 1, 则可简化为

$$I_{DS} \approx I_{D0} \frac{W}{L} \exp\left(\frac{V_{GS} - V_{TH}}{\eta V_T}\right) \quad (3-67)$$

通常, 当 $V_{GS} > V_{TH} + \eta kT/q$ 时, 称 MOS 管工作在强反型区; 当 $V_{GS} < V_{TH} + \eta kT/q$ 时, 称 MOS 管工作在弱反型区。强反型区和弱反型区的划分只是对 MOS 晶体管实际工作特性的一种近似。

5. 热载流子效应

当 MOSFET 的尺寸减小到远小于 $1\mu\text{m}$ 时, 遇到最严重的问题之一就是热载流子效

应。在短沟器件中,当漏极电压较高时,沟道内的电场强度很强。载流子在向漏极运动的过程中,以极高的速度“撞击”硅原子,引起碰撞电离,结果产生新的电子-空穴对,电子流向漏区,而空穴流向衬底。于是产生了有限的漏-衬电流。同时,一些载流子还克服了栅氧化层之间的表面势垒进入氧化层中,产生栅电流。通常通过测量衬底电流和栅电流来研究热载流子效应。这里,给出基于幸运电子模型的热载流子效应的栅极电流和衬底电流的经验公式

$$\begin{cases} I_{\text{sub}} \propto C_1 I_D \exp\left(-\frac{\phi_i}{q\lambda\epsilon_m}\right) \\ I_g \propto C_2 I_D \exp\left(-\frac{\phi_b}{q\lambda\epsilon_m}\right) \end{cases} \quad (3-68)$$

式中, ϕ_i 是电子碰撞电离时产生的最小能量; ϕ_b 是 Si-SiO₂ 界面之间的势垒; λ 是热载流子的平均自由程; ϵ_m 是沟道内最大的电场强度; C_1 和 C_2 是工艺相关系数。

6. 高阶物理效应

目前,当器件进入深亚微米后,物理意义明确、模型准确、运算效率高的解析式的建立变得十分困难。为了满足深亚微米集成电路设计的需要,人们在前面研究的基础上,加入了大量的经验参数来简化这些方程,BSIM 模型就是利用这种方法来描述深亚微米的器件特性。但其不足之处就是与器件的工作原理联系不太紧密,原因是模型采用半经验参数提取,模拟工艺变化,以及使用大量的经验公式来表示器件特性。下面对 BSIM3/4 模型中的一些高阶物理效应作进一步介绍。

(1) 多晶硅栅耗尽层效应

在 MOS 器件制造过程中,多晶硅栅的掺杂浓度很高,当加上栅压后,在多晶硅与栅氧化层之间的界面处会形成耗尽层,这种现象被称为多晶硅栅耗尽层效应(polygate depletion effect)。

虽然这一多晶硅栅耗尽层很薄,但深亚微米工艺下,栅氧化层的厚度通常只有几纳米(甚至更薄),因此,多晶硅栅耗尽层效应不可忽略。

图 3-26 给出 NMOSFET 中的多晶硅栅耗尽区的情况。设 N^+ 多晶硅栅的掺杂浓度为 N_{gate} ,且为均匀的,衬底掺杂浓度为 N_{sub} ,栅氧化层厚度为 t_{ox} ,多晶硅栅耗尽层厚度为 X_p 。

由于多晶硅栅耗尽层的存在,部分栅电压将分布在该耗尽层上,因此,降落在栅氧化层和衬底之间的压降将减小,这意味着有效的栅电压将减小。采用一维耗尽层模型近似时,可得耗尽层厚度

$$X_p = \left(\frac{2\epsilon_{\text{Si}} V_{\text{poly}}}{qN_{\text{gate}}} \right)^{\frac{1}{2}} \quad (3-69)$$

式中, V_{poly} 为多晶硅栅上的电位差。式(3-69)还可改写成

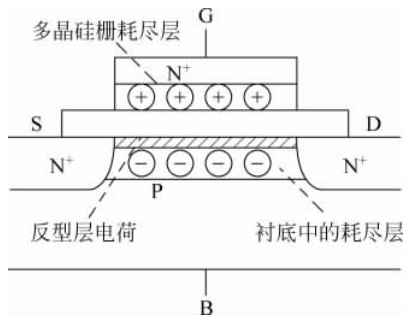


图 3-26 多晶硅栅耗尽效应示意

$$V_{\text{poly}} = \frac{qN_{\text{gate}}X_{\text{p}}^2}{2\epsilon_{\text{Si}}} \quad (3-70)$$

在多晶硅/氧化层界面处,必须满足连续性方程,因而有

$$\epsilon_{\text{ox}}E_{\text{ox}} = \epsilon_{\text{Si}}E_{\text{poly}} = \sqrt{2q\epsilon_{\text{Si}}N_{\text{gate}}V_{\text{poly}}} \quad (3-71)$$

式中, E_{ox} 为栅氧化层中的电场。从栅到衬底电位降落应遵循

$$V_{\text{GB}} = V_{\text{FB}} + V_{\text{ox}} + \varphi_{\text{S}} + V_{\text{poly}} \quad (3-72)$$

式中, φ_{S} 为表面反型电势, V_{ox} 为栅氧化层上的电位降,它应满足 $V_{\text{ox}} = E_{\text{ox}}t_{\text{ox}}$ 。因 $V_{\text{GB}} = V_{\text{GS}} - V_{\text{BS}}$,若 $V_{\text{BS}} = 0$,则式(3-72)可写为

$$V_{\text{GS}} = V_{\text{FB}} + V_{\text{ox}} + \varphi_{\text{S}} + V_{\text{poly}} \quad (3-73)$$

将式(3-70)和式(3-71)代入式(3-73)得到

$$a(V_{\text{GS}} - V_{\text{FB}} - \varphi_{\text{S}} - V_{\text{poly}})^2 - V_{\text{poly}} = 0 \quad (3-74)$$

式中, $a = \frac{\epsilon_{\text{ox}}^2}{2q\epsilon_{\text{Si}}N_{\text{gate}}t_{\text{ox}}^2}$,通过求解式(3-74),可以得到等效栅偏压为

$$V_{\text{GS,eff}} = V_{\text{FB}} + \varphi_{\text{S}} + \frac{q\epsilon_{\text{Si}}N_{\text{gate}}t_{\text{ox}}^2}{\epsilon_{\text{ox}}^2} \left\{ \left[1 + \frac{2\epsilon_{\text{ox}}^2(V_{\text{GS}} - V_{\text{FB}} - \varphi_{\text{S}})}{q\epsilon_{\text{Si}}N_{\text{gate}}t_{\text{ox}}^2} \right]^{\frac{1}{2}} - 1 \right\} \quad (3-75)$$

式中, N_{gate} 是 MOS 器件的模型参数。

多晶硅栅耗尽对器件的 I - V 、 C - V 特性都有影响,其中对 I - V 特性的影响是通过上述电位降体现;对 C - V 特性的影响是因为栅耗尽区的有限宽度,可以视作等效的栅介质层厚度增加,或使等效栅电容减小。在 BSIM3/4 模型中,这种效应用有效 V_{GS} 的建模来描述。

(2) 栅介质层隧穿效应

栅介质(通常是 SiO_2)层在栅电极与衬底沟道间对载流子形成一个势垒(SiO_2 -Si,对电子大约为 3.5eV,对空穴约为 4.3eV)。当栅介质层厚度变小时(在 130nm CMOS 工艺中,这个厚度约为 1.2nm),通过这个势垒的量子隧穿的几率会急剧地增加,这种现象被称为栅介质层隧穿效应(gate dielectric tunneling effect, GDTE)。直接隧穿电流对势垒高度与厚度的依赖关系为

$$I_{\text{TD}} \propto \exp\left(-2d\sqrt{\frac{2m^*q\varphi_{\text{b}}}{\hbar^2}}\right) \quad (3-76)$$

式中, d 和 φ_{b} 分别表示势垒的宽度和高度; m^* 是载流子在栅介质层中的有效质量。

由式(3-76)可知,栅极隧穿电流随栅介质层的厚度减小成指数增加。在 BSIM4 中,如图 3-27 所示,栅极隧穿电流 I_{GT} 进入硅衬底后分成 4 个分量,分别是栅极与源极、漏极、沟道和衬底接触之间的电流

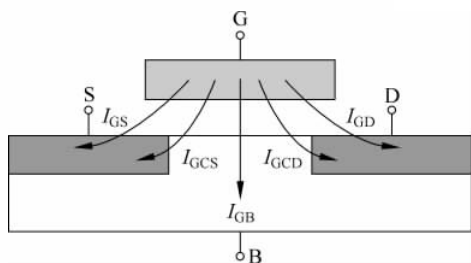


图 3-27 栅极隧穿电流示意图

$$\begin{cases} I_{\text{GT}} = I_{\text{GS}}(V_{\text{GS}}, V_{\text{DS}}) + I_{\text{GC}}(I_{\text{GCS}}(V_{\text{GS}}) \\ I_{\text{GCD}}(V_{\text{GD}})) + I_{\text{GB}}(V_{\text{GD}}, V_{\text{DS}}) + I_{\text{GB}}(V_{\text{GB}}) \end{cases} \quad (3-77)$$

式中, $I_{GC} = I_{GCS} + I_{GCD}$ 。

(3) 碰撞电离电流

在 MOSFET 沟道漏端, 衬底中的电场会变得很强, 是二维分布。沟道载流子在连续两次散射之间可以得到足够的能量以造成碰撞电离 (impact ionization) 而产生电子-空穴对。对 NMOSFET 而言, 产生的空穴被衬底接触收集, 而电子则流向漏极区。这样就会在漏-衬底间形成电流 (impact ionization current)。总的漏电流为

$$I_D = I_{DS} + I_{DB} \quad (3-78)$$

从上述衬底电流形成的物理机理可以推测 I_{DB} 应该正比于 I_{DS} 。在 BSIM3/4 中, 衬底电流被建模为

$$I_{DB} = \left(\frac{\alpha_0}{L} + \alpha_1 \right) (V_{DS} - V_{DS,eff}) \exp \left(- \frac{\beta_0}{V_{DS} - V_{DS,eff}} \right) I_{DS} \quad (3-79)$$

式中引入的拟合参数 α_0 、 α_1 、 β_0 是 MOS 器件的模型参数。

衬底电流对 MOS 器件性能的不利影响包括在漏极与地 (衬底通常接地) 之间引入了一个附加的电导项, 这会降低晶体管的增量输出电阻, 在模拟和混合信号电路的设计中尤为不希望见到。这个衬底电流与沟道长度有关: 沟道长度越短, 衬底漏电流越大。

(4) 栅极诱发漏极漏电流效应

当 MOSFET 的特征尺寸小于 $0.13\mu\text{m}$ 时, MOSFET 在关断 (off-state) 状态时的漏电流现象较亚微米器件严重得多。实验中发现, 此漏电流是由栅极诱发漏极漏电流效应 (gate induced drain leakage effect, GIDL) 造成的。其原理简单地描述为: 在栅电极与漏区交叠的部分, 如 $V_{GD} < 0$, 会在 N^+ 的漏区表面形成耗尽层 (反向偏置)。尽管因为漏区的掺杂浓度很高, 这个耗尽层的厚度很薄, 但该区域沿沟道方向的电场在衬底-漏区 PN 结区会变得很强 (注意, 这是二维电场分布, 或称为 gate-induced 横向电场增强), 导致了 PN 结的反向隧穿电流增大。这个隧穿电流是由带-带隧穿 (band-to-band tunneling, BBT) 或/和陷阱协助隧穿 (trap-assisted tunneling, TAT) 引起。这种由隧穿产生的电子-空穴对同样会造成漏极与衬底接触之间的漏电流。GIDL 这种漏电机理对沟道长度并不敏感, 但在 LDD (lightly-doped drain) 结构中比较重要, 因为栅漏交叠区较长。在深亚微米 ($< 0.13\mu\text{m}$) 器件中, 对低电压应用时, 需要考虑 GIDL 的影响, 因为其他漏电机理在低电压低电场时变得不显著, 而 GIDL 却不因电场小而减小很多。

在 BSIM4 模型中, 漏极电流中的 GIDL 分量可根据下式建模:

$$\begin{aligned} I_{GIDL}(V_{DS}, V_{GS}, V_{BS}) = & A_{GIDL} \cdot W_{eff} \\ & \cdot \frac{V_{DS} - V_{GS,eff} - E_{GIDL}}{3t_{ox}} \exp \left(\frac{-2t_{ox}B_{GIDL}}{V_{DS} - V_{GS,eff} - E_{GIDL}} \right) \\ & \cdot \frac{V_{DB}^3}{C_{GIDL} + V_{DB}^3} \end{aligned} \quad (3-80)$$

式中引入的 4 个拟合系数 A_{GIDL} 、 B_{GIDL} 、 C_{GIDL} 、 E_{GIDL} 都是 MOS 器件的模型参数。

漏-衬底间的漏电流如果不考虑反向偏置的 DB-PN 结电容的漏电流, 则当 $V_{GS} < V_{TH}$ 时以 GIDL 分量为主, $V_{GS} > V_{TH}$ 时以碰撞电离分量为主。式 (3-80) 表明 GIDL 不依赖于沟道长度, 其大小主要由 V_{DG} 决定。

(5) 由横向局部增强注入引起的阈值电压增强模型

横向局部增强注入(lateral pocket implantation)是减少短沟道 MOS 器件漏电的有效措施。其方法是在衬底沟道区下方靠近源漏区附近用斜角离子注入的方法将衬底掺杂浓度局部增高(pocket),以减小源漏之间的电力线通过衬底内部穿通的可能性。但这种掺杂浓度的变化使接近源/漏区沟道的浓度远高于沟道中部的浓度,如图 3-28 所示。

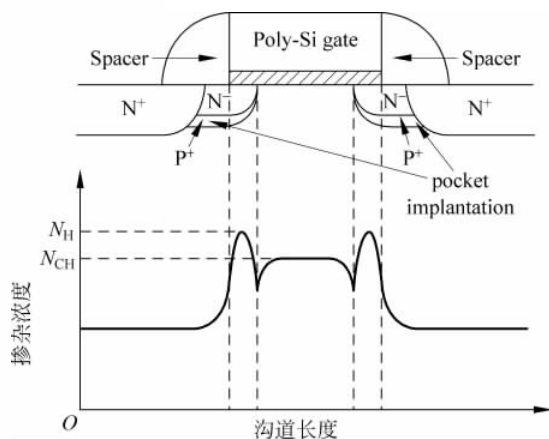


图 3-28 MOSFET 局部增强注入模型示意图

这种工艺变化的后果是不仅使阈值电压升高、发生漂移,而且使器件的短沟道效应更加复杂化,这就是由横向局部增强注入引起的阈值电压增强模型(V_{TH} enhanced model due to lateral pocket implantation)。在 BSIM4 模型中引入两个参数,通过下式建立一种经验模型:

$$V_{TH} \leftarrow V_{TH} + \Delta V_{TH, \text{pocketimplant}} \quad (3-81)$$

式中, $\Delta V_{TH, \text{pocketimplant}}$ 为

$$\Delta V_{TH, \text{pocketimplant}} = nV_T \ln \left[\frac{L_{\text{eff}}}{L_{\text{eff}} + D_{vt0} (1 + \exp(-D_{vt1} \times V_{DS}))} \right] \quad (3-82)$$

其中, n 是理想(ideality)因子; D_{vt0} 和 D_{vt1} 是模型的拟合系数; L_{eff} 为沟道有效长度。

在采用 SPICE 模拟程序(第 4 章介绍)对电路进行模拟时, MOS 器件的模型有多种不同级别。

SPICE Level1(MOS1)模型是一阶模型,适用于长沟道 MOS 晶体管。随着沟道尺寸的减小,为了能够较准确地描述二阶效应带来的影响,SPICE Level2、Level3(MOS2、MOS3)模型相继推出,其中 Level2 模型是较为详细的二维解析模型, MOS3 模型是一个半经验模型。表 3-3 给出的是 MOS 器件 SPICE Level1、Level2、Level3 模型的参数表。

BSIM 模型是专门为短沟道 MOSFET 开发的模型,现已发表的有 BSIM1、BSIM2、BSIM3 和 BSIM4 四种,其模型参数明显增加。以 BSIM4 为例,它的模型中大约含有近 260 个参数。表 3-4 给出 BSIM4 模型中的部分参数,供读者参考。

表 3-3 MOS 器件 SPICE Level1、Level2、Level3 的模型参数

参数名	SPICE 关键字	模型级	含 义	隐含值	单位
V_{T0}	VT0	1~3	零偏压阈值电压	1.0	V
$2\varphi_F$	PHI	1~3	表面反型电势	0.6	V
μ_0	U0	1~3	表面迁移率	600	$\text{cm}^2/(\text{V} \cdot \text{s})$
γ	GAMMA	1~3	体效应系数	0.0	$\text{V}^{1/2}$
λ	LAMBDA	1~2	沟道长度调制系数	0.0	V^{-1}
K_p	KP	1~3	本征跨导参数	2×10^{-5}	A/V^2
t_{ox}	TOX	1~3	栅氧化层厚度	2×10^{-7}	m
R_D	RD	1~3	漏极欧姆电阻	0.0	Ω
R_S	RS	1~3	源极欧姆电阻	0.0	Ω
R_{SH}	RSH	1~3	漏源薄层电阻	0.0	Ω
N_{sub}	NSUB	1~3	衬底掺杂浓度	0.0	cm^{-3}
L_D	LD	1~3	横向扩散长度	0.0	m
T_{PG}	TPG	1~3	栅材料导电类型(与衬底相同为-1, 与衬底相反为1)	1.0	
J_S	JS	1~3	单位面积衬底结饱和电流	0.0	A/m^2
C_{j0}	CJ	1~3	衬底结底面单位面积零偏压电容	0.0	F/m^2
C_{GBO}	CGBO	1~3	单位沟道长度栅-衬底覆盖电容	0.0	F/m
C_{GDO}	CGDO	1~3	单位沟道宽度栅-漏覆盖电容	0.0	F/m
C_{GSO}	CGSO	1~3	单位沟道宽度栅-源覆盖电容	0.0	F/m
F_c	FC	1~3	正偏耗尽层电容公式中的系数	0.5	
U_{CRIT}	UCRIT	2	迁移率退化临界强度电场(E_0)	1×10^4	V/cm
U_{TRA}	UTRA	2	横向电场系数	0.0	
U_{EXP}	UEXP	2	迁移率退化临界电场指数系数	0.0	
θ	THETA	3	迁移率调制系数	0.0	V^{-1}
δ	DELTA	2、3	窄沟道效应系数	0.0	
v_{max}	VMAX	2、3	载流子最大漂移速度(饱和速度 v_{SAT})	0.0	m/s
X_{QC}	XQC	2、3	沟道电荷分配系数	0.1	
N_{eff}	NEFF	2	沟道总电荷系数	1.0	
N_{SS}	NSS	1~3	表面态密度	0.0	cm^{-2}
N_{FS}	NFS	2、3	快表面态密度	0.0	cm^2
X_J	XJ	2、3	源漏结深	0.0	m
k	KAPPA	3	饱和电场系数	0.2	
η	ETA	3	静电反馈系数	0.0	
I_s	IS	1~3	衬底结饱和电流	1×10^{-14}	A
φ_B	PB	1~3	衬底结电势	0.8	V
m_J	MJ	1~3	衬底结梯度因子	0.5	
C_{JSW0}	CJSW	1~3	单位面积零偏压衬底结侧壁电容	0.0	F/m^2
m_{JSW}	MJSW	1~3	衬底结侧壁梯度因子	0.33	
A_f	AF	1~3	闪烁噪声指数	1.0	
K_f	KF	1~3	闪烁噪声系数	0.0	

表 3-4 MOS 器件 BSIM4 模型部分参数

参数名	含 义	隐含值	单位
VTH0	在 $V_{BS}=0$ 时,长沟器件的阈值电压	0.7	V
VFB	平带电压	-1.0	V
PHIN	与表面势相关的非均匀垂直掺杂效应	0.0	
K1	一阶体效应系数	0.5	$V^{1/2}$
K2	二阶体效应系数	0.0	
K3	窄宽度效应系数	80.0	
K3B	K3 的体效应系数	0.0	V^{-1}
LPE0	在 $V_{BS}=0$ 时,横向非均匀掺杂参数	$1.74e(-7)$	m
LPEB	关于 K1 的横向非均匀掺杂效应	0.0	
DVT0W	短沟时窄沟道效应的第一系数	0.0	m^{-1}
DVT1W	短沟时窄沟道效应的第二系数	$5.3e6$	m^{-1}
DVT2W	短沟时窄沟道效应的衬底偏置系数	-0.032	V^{-1}
TOXE	等价的栅氧化层厚度	$3.0e(-9)$	m^{-1}
CDSC	源/漏对沟道之间的耦合电容	$2.4e(-4)$	F/m^2
CDSCB	CDSC 对衬偏压的敏感度	0.0	$F/(V \cdot m^2)$
CDSCD	CDSC 对漏偏压的敏感度	0.0	$F/(V \cdot m^2)$
ALPHA0	碰撞电离电流的第一参数	0.0	m/V
ALPHA1	由可缩放长度引起碰撞电离衬底电流的参数	0.0	A/V
BETA0	碰撞电离电流的第二参数	30.0	V
NGATE	多晶硅栅掺杂浓度	0.0	cm^{-3}
AGIDL	栅极诱导漏极漏电流效应(GIDL)的指数前系数	0.0	Ω
BGIDL	GIDL 的指数系数	$2.3e9$	V/m
CGIDL	GIDL 的衬偏效应参数	0.5	V^3
EGIDL	GIDL 引起能带弯曲的拟合参数	0.8	V
IGCMOD	栅极-沟道隧穿电流模型选择器	0	
IGBMOD	栅极-衬底隧穿电流模型选择器	0	
MOIN	依赖于表面势垒的栅偏置系数	15.0	
AIGBACC	栅介质隧穿效应(GDTE)引起累积区栅与衬底电流的参数	0.43	$(Fs^2/g)^{0.5} m^{-1} V^{-1}$
BIGBACC	GDTE 引起累积区栅与衬底电流的参数一	0.054	$(Fs^2/g)^{0.5} m^{-1} V^{-1}$
CIGBACC	GDTE 引起累积区栅与衬底电流的参数二	0.075	V^{-1}
NIGBACC	GDTE 引起累积区栅与衬底电流的参数三	1.0	
AIGBINV	GDTE 引起反型区栅与衬底电流的参数一	0.35	$(Fs^2/g)^{0.5} m^{-1} V^{-1}$
BIGBINV	GDTE 引起反型区栅与衬底电流的参数二	0.03	$(Fs^2/g)^{0.5} m^{-1} V^{-1}$
CIGBINV	GDTE 引起反型区栅与衬底电流的参数三	0.006	V^{-1}
AIGC	GDTE 引起栅与沟道电流的参数一	0.054(NMOS) 0.31(PMOS)	$(Fs^2/g)^{0.5} m^{-1}$

续表

参数名	含 义	隐含值	单位
BIGC	GDTE 引起栅与沟道电流的参数二	0.054(NMOS) 0.024(PMOS)	$(\text{Fs}^2/\text{g})^{0.5} \text{m}^{-1} \text{V}^{-1}$
CIGC	GDTE 引起栅与沟道电流的参数三	0.075(NMOS) 0.03(PMOS)	V^{-1}
NTNOI	仅当 TNOIMOD=0 时短沟道器件的噪声因子	1.0	
TNOIMOD	热噪声模型选择器	0	
TNOIA	总沟道热噪声的沟道长度调制系数	1.5	
TNOIB	区别于沟道热噪声的沟道长度调制参数	3.5	
FNOIMOD	闪烁噪声模型选择器	1	
NOIA	闪烁噪声参数 A	6.25e41(NMOS) 6.188e40(PMOS)	$(\text{eV})^{-1} \text{s}^{1-\text{EF}} \text{m}^{-3}$
NOIB	闪烁噪声参数 B	3.125e26(NMOS) 1.5e25(PMOS)	$(\text{eV})^{-1} \text{s}^{1-\text{EF}} \text{m}^{-1}$
NOIC	闪烁噪声参数 C	8.75	$(\text{eV})^{-1} \text{s}^{1-\text{EF}} \text{m}^{-1}$
EF	闪烁噪声频率指数	1.0	
XTIS	源 PN 结电流温度指数	3.0	
XTID	漏 PN 结电流温度指数	3.0	
AT	载流子速度饱和时温度系数	3.3e4	m/s
DMCG	从源-漏接触孔中心到栅边界距离	0.0	m
DMCI	沿沟道长度方向从源-漏接触孔中心到隔离区的边界距离	0.0	m
XGW	从栅接触孔到沟道边界距离	0.0	m
JSWGS	源极侧边饱和电流密度	0.0	A/m
JSWGD	漏极侧边饱和电流密度	0.0	A/m
BVS	源极击穿电压	10.0	V
BVD	漏极击穿电压	10.0	V

3.4 噪声模型

在讨论噪声模型之前,先界定一下什么是噪声。一般来说,可能会认为不希望的信号都可统称为噪声。其实不然。应该在噪声和信号之间进行区分:信号是可以人为控制产生的,但噪声却是一个随机现象。它们之间的共同点是信号与噪声都是时间的函数。噪声的特征是其在时域里的平均值为零(假设观察间隔足够长),但其功率平均值却不为零,即噪声是带有(或传递)能量的。

3.4.1 噪声源类型

半导体器件通常是固态器件,固态器件的特点是固体内部有大量的带电粒子在作随

机或定向的运动。带电粒子的运动就会产生电信号。常见的固态噪声源有五种,分别是热噪声(thermal noise)、散粒噪声(shot noise)、闪烁(flicker)噪声、脉冲(burst)噪声和雪崩噪声(avalanche noise)。

1. 热噪声

热噪声是由带电载流子的热运动引起的,所以和温度(绝对温度)成正比。以电阻为例,电阻中的自由带电粒子在没有外加电压情况下进行自由热运动,电子的平均能量和电阻的温度成正比。因为每个带电粒子的热运动都是随机的,从整体上看,电阻的瞬时噪声电流满足高斯分布,均值为零。当电阻两端外加直流电压时,电阻中的带电粒子在电场力作用下,作定向运动,形成直流电流。由于带电粒子的漂移速度远低于粒子的热运动速度,所以,一般来说,电阻的热噪声和其中流过的电流无关。

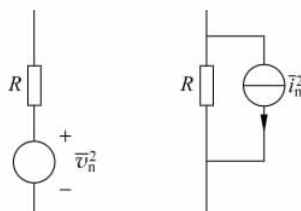


图 3-29 电阻热噪声示意图

如图 3-29 所示,一个含有噪声、阻值为 R 的电阻可以表示成无噪声电阻和等效噪声电压源 $\bar{v}_n^2$ 的串联,或者是无噪声电阻和等效噪声电流源 $\bar{i}_n^2$ 的并联。则电阻 R 的噪声大小为

$$\bar{v}_n^2 = 4kTR\Delta f \quad (3-83)$$

或者为

$$\bar{i}_n^2 = \frac{4kT\Delta f}{R} \quad (3-84)$$

其中, k 是玻耳兹曼常数; Δf 为带宽,单位为 Hz。式(3-83)和式(3-84)满足 $\bar{v}_n^2 = \bar{i}_n^2 R^2$, 由此可知,热噪声频谱密度和频率无关,当频率达到 10^{13} Hz 之前,这一关系是正确的。对于一般电路来说,热噪声是由阻值和温度决定的一个常量,因为带电粒子的运动是普遍存在的,所以除了电阻之外,电路中的其他器件也存在热噪声。

2. 散粒噪声

散粒噪声是另一种白噪声。与热噪声不同,散粒噪声和器件中的直流电流相关,通常出现在二极管、MOS管和双极型晶体管中。下面以二极管为例说明散粒噪声的发生机理。

如图 3-30 所示,二极管采用正向偏置,从 P 区到 N 区流过直流电流为 I 。二极管中的电流是每一个电子和空穴运动叠加的随机过程。设电流 I 长时间的平均值为 I_{avg} ,每一时刻的电流都在 I_{avg} 上下随机变化,如此便产生了散粒噪声。流过二极管的直流电流越大,瞬时电流变化的幅度越大,散粒噪声越强。散粒噪声的大小为

$$\bar{i}_n^2 = 2qI_{\text{avg}}\Delta f \quad (3-85)$$

式中, q 是单位电荷电量(1.6×10^{-19} C); Δf 为带宽,单位为 Hz。因为散粒噪声是由载流子穿越 PN 结的随机运动产生的,大量的载流子运动使得瞬时噪声电流满足高斯分布,散粒噪声的均值为

$$\sigma = \sqrt{2qI_{\text{avg}}\Delta f} \quad (3-86)$$

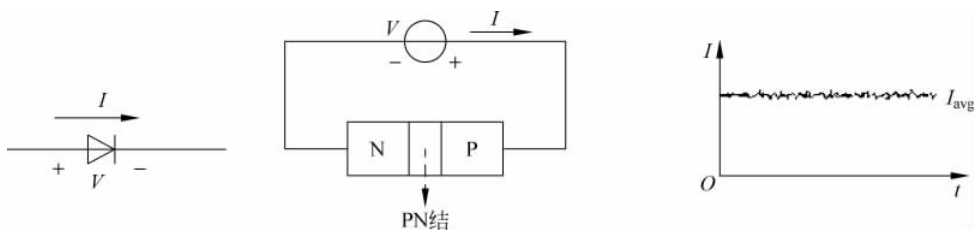


图 3-30 二极管中的散粒噪声

3. 闪烁噪声

闪烁噪声也称为 $1/f$ 噪声 ($1/f$ noise)。对于 CMOS 器件来说, 闪烁噪声和硅表面的清洁度有关。如图 3-31 所示, 当 MOS 管工作时, 在栅极下, 靠近硅表面衬底中产生导电沟道, 载流子在沟道中作定向运动。理想情况下, 硅中原子通过 4 个共价键彼此结合在一起, 没有多余的空位。而硅片在生产中, 不可避免地存在表面缺陷, 这种缺陷破坏了硅共价键的稳定性, 形成很多“陷阱”。这些陷阱会随机地捕获和释放沟道中的载流子。此外, 在硅衬底和二氧化硅介质层的交界面, 存在许多悬空的共价键, 当载流子运动到这个界面时, 也会发生类似的捕获和释放过程。这种随机过程产生了闪烁噪声。

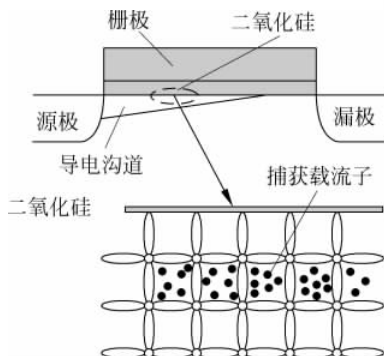


图 3-31 闪烁噪声的产生机理

闪烁噪声的大小和硅晶格缺陷密度、表面清洁度、器件尺寸以及器件中电流大小相关。闪烁噪声的大小为

$$\bar{i}_n^2 = K_f \frac{I^{A_f}}{f^B} \Delta f \quad (3-87)$$

式中, I 是流过器件的直流电流; f 是器件的工作频率; K_f 是闪烁噪声系数; A_f 是闪烁噪声指数, 介于 $0.5 \sim 2$ 之间; B 是约等于 1 的常数。如果 $B=1$, 那么等效噪声电流可以写为

$$\bar{i}_n^2 = K_f \frac{I^{A_f}}{f} \Delta f \quad (3-88)$$

可见, 闪烁噪声的大小和工作频率成反比, 如图 3-32 所示, 闪烁噪声功率谱为一条斜率为负的直线。和热噪声、散粒噪声不同, $1/f$ 噪声不满足高斯分布。

4. 脉冲噪声

脉冲噪声又称为 burst noise 或 popcorn noise。人们对脉冲噪声产生的机理并不十分清楚, 但观察到在使用重金属注入的器件中脉冲噪声十分显著。在示波器上看到的脉冲噪声如图 3-33 所示。

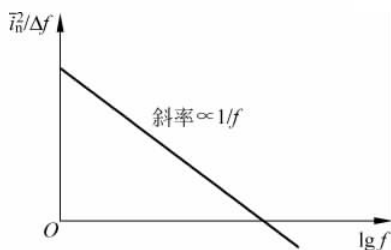


图 3-32 闪烁噪声的频谱

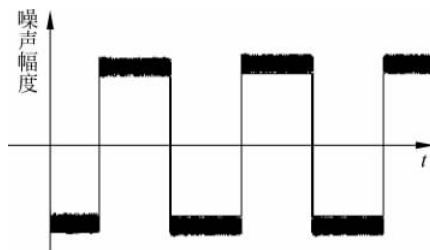


图 3-33 典型的脉冲噪声波形示意图

脉冲噪声是一种低频噪声,它的重复频率在音频附近,有时也叫做“爆米花”噪声。脉冲噪声的大小为

$$\bar{i}_n^2 = K_2 \frac{I^C}{1 + \left(\frac{f}{f_0}\right)^2} \Delta f \quad (3-89)$$

式中, I 是器件的直流电流; f 是器件的工作频率; f_0 是和产生噪声有关的特征频率; K_2 是和器件物理参数相关的常数; C 是介于 $0.5 \sim 2$ 的常数。脉冲噪声的频谱如图 3-34 所示,噪声大小随频率的上升而下降,脉冲噪声的瞬时噪声电流不满足高斯分布。

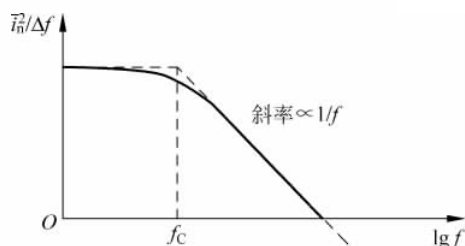


图 3-34 脉冲噪声的频谱

5. 雪崩噪声

雪崩噪声是由于 PN 结中发生齐纳击穿或雪崩击穿时产生的噪声。在雪崩击穿时, PN 结中的耗尽区处于反偏状态,随机运动载流子空穴和电子获得足够高的能量,通过碰撞-电离产生新的电子-空穴对。这一随机过程是累积过程,产生了大量的随机噪声尖峰。

雪崩噪声的大小和 PN 结中直流电流有关,雪崩噪声的功率通常远高于散粒噪声的功率,它的瞬时噪声电流也不满足高斯分布。由于雪崩噪声的缘故,一般在低噪声电路中尽量避免使用齐纳二极管。

3.4.2 集成电路器件噪声模型

本节将分别介绍二极管、双极型晶体管以及 MOS 器件中的噪声模型。

1. 二极管噪声模型

二极管在交流时的噪声模型示于图 3-35。此时等效电阻 r_s 产生的热噪声电流为

$$\bar{i}_{nrS} = \sqrt{\frac{4kT}{r_s} \Delta f} \quad (3-90)$$

二极管的散粒噪声和闪烁噪声电流为

$$\bar{i}_{nD} = \sqrt{2qI_D\Delta f + \frac{K_f I_D^{A_f}}{f} \Delta f} \quad (3-91)$$

式中, f 为频率; Δf 为频带宽度; K_f 为闪烁噪声系数; A_f 为闪烁噪声指数因子。

2. 双极型晶体管噪声模型

双极型晶体管噪声等效模型如图 3-36 所示。其中, $\bar{i}_{nB}^2$ 为基极与发射极之间的噪声电流源, 包括基极端散粒噪声(基极电流+基极-发射区势垒)、 $1/f$ 噪声以及脉冲噪声; $\bar{i}_{nC}^2$ 为集电极与发射极之间的噪声电流源, 是集电极的散粒噪声(集电极电流+集电极-基极反向偏置势垒); $\bar{v}_{nB}^2$ 是晶体管基极电阻的热噪声。

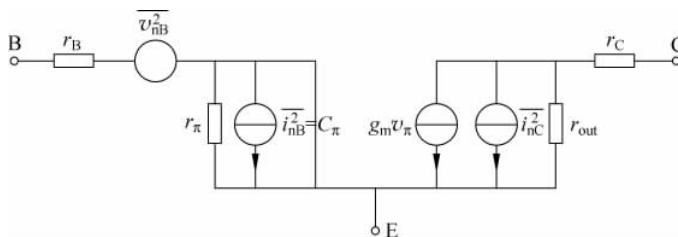


图 3-36 双极型晶体管噪声等效模型

集电极串联电阻虽然也有热噪声, 但由于它与高阻抗的集电极节点相串联, 因此它的热噪声可忽略。图中的 r_π 、 r_{out} 分别是交流信号基极-发射极、发射极-集电极的虚设电阻, 并不是真实的电阻, 它们不贡献热噪声。 $\bar{i}_{nB}^2$ 、 $\bar{i}_{nC}^2$ 、 $\bar{v}_{nB}^2$ 分别为

$$\bar{i}_{nB}^2 = 2qI_B\Delta f + \frac{K_f I_B^{A_f}}{f} \Delta f + K_2 \frac{I_B^C}{1 + \left(\frac{f}{f_c}\right)^2} \Delta f \quad (3-92)$$

$$\bar{i}_{nC}^2 = 2qI_C\Delta f \quad (3-93)$$

$$\bar{v}_{nB}^2 = 4kTr_B\Delta f \quad (3-94)$$

3. MOS 管的噪声

MOS 晶体管一般通过栅源电压控制沟道电流的大小, 由于导电沟道材料是电阻性的, 所以热噪声是 MOS 管的主要噪声之一, 其他的还有闪烁噪声、栅极散粒噪声、栅极感应噪声。噪声等效电路如图 3-37 所示, 其中沟道噪声 $\bar{i}_{nD}^2$ 包括沟道热噪声和沟道 $1/f$ 噪声, 栅极噪声 $\bar{i}_{nG}^2$ 包括栅极散粒噪声和栅极感应噪声。

(1) 沟道热噪声

沟道热噪声是 MOS 管的主要噪声源, 是在沟道中产生的, 对于工作在饱和区的长沟道 MOS 管的沟道噪声可以表示为

$$\bar{i}_{nD1}^2 = 4kT\zeta g_m \Delta f \quad (3-95)$$

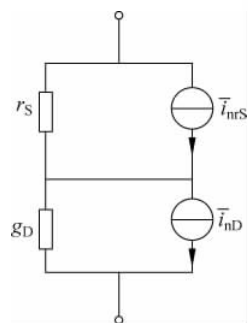


图 3-35 二极管噪声等效模型

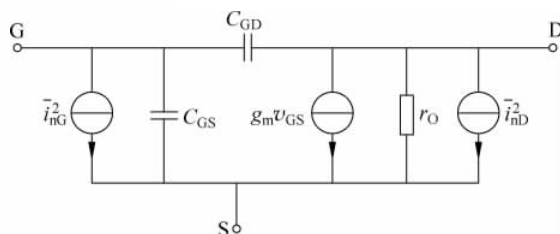


图 3-37 MOS 晶体管噪声等效模型

其中系数 ζ , 对于长沟道晶体管为 $2/3$, 而对于亚微米 MOS 晶体管, 它可能是一个更大的值。例如, 在一些 $0.25\mu\text{m}$ MOS 器件中, ζ 的值约为 2.5 。目前, 理论上如何确定 ζ 的研究还在积极地进行中。

(2) 沟道 $1/f$ 噪声

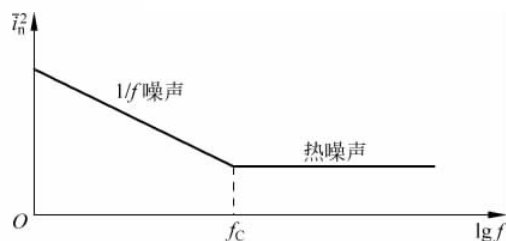
除了热噪声之外, 表层硅衬底对载流子的捕获和释放过程还产生 $1/f$ 噪声, 其大小为

$$\overline{i_{nD2}^2} = \frac{K_f}{C_{ox}WL} \cdot \frac{g_m^2}{f} \Delta f \quad (3-96)$$

式中, L 、 W 分别是 MOS 管的沟道长度和宽度; K_f 是闪烁噪声系数, 单位为 C/m (库/米)。

式(3-96)还表明 MOS 管的 $1/f$ 噪声和沟道面积成反比, 因此, 可采用大尺寸的 MOS 管降低 $1/f$ 噪声。而代价则是寄生电容增加, MOS 管特征频率下降。

如图 3-38 所示, MOS 管的 $1/f$ 噪声在低频起主要作用, 热噪声在高频起主要作用, 那么两种噪声的功率谱间存在一个拐点, 在该点噪声功率相同。


 图 3-38 MOS 管的热噪声和 $1/f$ 噪声的功率谱

若令 $\frac{8}{3}kTg_m = \frac{K_f}{C_{ox}WL} \cdot \frac{g_m^2}{f_c}$, 则可得到拐点频率 f_c 为

$$f_c = \frac{3}{8kT} \cdot \frac{K_f g_m}{C_{ox}WL} \quad (3-97)$$

拐点频率和 MOS 管的跨导成正比, 和 MOS 管沟道面积成反比。在 CMOS 电路中, 各种 MOS 管的噪声叠加在一起, 拐点频率可能高达 1MHz 。

(3) 栅极散粒噪声

栅极散粒噪声由栅极的直流漏电流引起, 设栅极漏电流为 I_g , 则栅极散粒噪声大小为

$$\bar{i}_{\text{nG1}}^2 = 2qI_{\text{g}}\Delta f \quad (3-98)$$

通常, MOS 管的栅极漏电流很小, 一般在 10^{-15} A 量级, 因此该噪声在 MOS 电路设计中可不予考虑。

(4) 栅极感应噪声

栅极感应噪声是沟道热噪声通过栅极-沟道电容的耦合作用在栅极上产生的一种噪声。和散粒噪声不同, 栅极感应噪声瞬态噪声电流不服从高斯分布, 噪声功率随着频率的上升而增大, 在低频下工作时可忽略栅极感应噪声。对于长沟器件, 噪声电流大小为

$$\bar{i}_{\text{nG2}}^2 = \frac{16}{15}kT\omega^2 C_{\text{GS}}^2 \Delta f \quad (3-99)$$