

## 第 3 章

# 片上无源器件设计

无源器件是射频集成电路的重要组成部分之一,其性能对整个集成电路系统的性能表现有很大的影响。在射频集成电路系统中,无源器件主要包括 3 个器件:片上电感、片上变压器和片上巴伦。对于目前主流的工艺而言,其工艺库中提供的无源器件无法用于设计射频集成电路,所以无源器件需要利用电磁仿真软件单独进行设计。

### 3.1 片上无源器件的特点

在射频电路中,无源器件的使用非常多,所以我们在射频芯片中看到的版图大部分面积是被无源器件占用的。然而,在集成电路工艺发展早期,无源器件并不适合做在片上,尤其是射频电路必须用的电感,尺寸大、占用芯片面积大、成本高,并且集成电感的品质因素很难做高,因此在早期,并非所有工艺都适合设计射频电路。GaAs 工艺因其半绝缘的衬底可以较好地满足射频电路的设计需求,CMOS 工艺则因衬底损耗较大并不适合实现高品质电感等无源器件。

随着工艺的发展,当晶体管性能已经获得大幅度的提高,无源器件逐步成为电路集成的瓶颈时,改进工艺就显得有必要。例如 CMOS 工艺,目前有混合信号/射频 CMOS 工艺(mixed-signal/RF CMOS),它们与传统(数字)CMOS 工艺的主要区别在于提供了顶层厚金属( $2\mu\text{m}$ ,  $4\mu\text{m}$ ),用于实现较高品质的无源器件,同时提供 RF MOSFET。

对于集成无源器件的选择,需要考虑的因素主要有成本(占用面积小)、品质因数、工作频率、寄生参数、容差(tolerance)、匹配(matching)、稳定性(温度系数)、线性度(是否随电压变化)等。

#### 趋肤效应

在导体中,信号传输的电流分布与信号的频率有关。对于直流信号来说,导线的全部横截面都用来传输电流,电流均匀分布于整个横截面。但在交流状态下,由于交流电流会产生磁场,根据法拉第电磁感应定律,此磁场又会产生电场,此电场的感生电流的方向将与原始电流相反。对于圆形导线,这种效应在导线的中心部位最强,造成中心部位的电阻增加,因而电流将趋向于导体的外表面,并且随着频率的增加,上述效应越来越强。这种随着频率的增加,电流趋向于导体表面的效应称为“趋肤效应(skin effect)”。

趋肤深度表示为

$$\delta = \frac{1}{\sqrt{\pi f \mu \sigma}} \quad (3-1)$$

式中,  $f$  是信号频率;  $\mu = \mu_r \mu_0$ ,  $\mu$  是磁导率,  $\mu_r$  是相对磁导率,  $\mu_0$  为真空磁导率  $4\pi \times 10^{-7} \text{ H/m}$ ;  $\sigma$  是导体电导率。

趋肤深度  $\delta$  的物理意义是表示电流密度降低到表面值的  $e^{-1}$  (37%) 时的深度。需要注意的是, 导体中的场在传输一个趋肤深度的距离后, 振幅并不是衰减为 0, 而是衰减为原来幅度的  $1/e$ , 即 36.8%。也就是说, 大约有 63% 的电流在一个趋肤深度的距离流动, 且电流密度将按指数衰减至导体的厚度。

对于铜,  $\mu_r = 1$ ,  $\sigma = 5.8 \times 10^7 \text{ s/m}$ , 若频率  $f = 10 \text{ GHz}$ , 则趋肤深度  $\delta_{\text{Cu}} = 0.66 \mu\text{m}$ 。随着频率的增加, 趋肤深度减小, 电阻变大, 信号传输的损耗也会增加。

了解趋肤效应能够加深我们对射频无源器件的理解。在射频集成电路设计中, 片上电感、传输线、变压器等无源器件的模型都需要考虑趋肤效应的影响, 然而, 传统的模型很难保证在一个较大的频率范围内尺寸等比例缩放的精准性, 所以当前对无源器件的准确设计必须借助电磁场仿真工具进行建模与优化。能够对无源器件进行建模仿真的电磁场分析工具有很多, 如 ADS、HFSS、CST 等著名商业化电磁场仿真工具软件。本书采用专业射频电路设计工具 ADS 对无源器件进行建模设计, ADS 软件自带的 2.5D 电磁场仿真工具 Momentum 具有丰富的版图设计功能和强大的电磁特性仿真能力, 对平面及准平面的无源器件模型有较高的仿真精度。

## 3.2 衬底建模与设置

在使用 ADS Momentum 进行电磁场仿真之前必须首先对被仿真器件的衬底进行建模并设置参数, 保证衬底参数与工艺提供的衬底材料一致。绝大多数工艺包都会提供衬底各层材料的参数, 包括金属层厚度, 电导率, 介质材料厚度及介电常数。本章中的无源器件设计案例均采用 90nm 通用工艺 PDK 的衬底参数, 表 3-1 是 gpdk 90nm 工艺包所提供的衬底材料参数表。

表 3-1 gpdk 90nm 工艺衬底材料参数

层名称	厚度(A)	介电常数	层号
Pass2	7000	7.9	
Pass1	10000	4.2	
M9	10000	Cu	42
IMD8(Via8)	6000	4.2	41
M8	10000	Cu	40
IMD7(Via7)	6000	4.2	39
M7	3600	Cu	38
IMD6(Via6)	3000	2.9	37
M6	3600	Cu	35
IMD5(Via5)	3000	2.9	34
M5	3600	Cu	33
IMD4(Via4)	3000	2.9	32
M4	3600	Cu	31

续表

层名称	厚度(A)	介电常数	层号
IMD3(Via3)	3000	2.9	30
M3	3600	Cu	11
IMD2(Via2)	3000	2.9	10
M2	3600	Cu	9
IMD1(Via1)	3000	2.9	8
M1	3000	Cu	7

在衬底设置之前先根据 gpdk 工艺提供的层参数在 ADS 中进行层的设置。

(1) 在 ADS 主界面选择 Options-Technology-Technology setup, 删除 ads\_standard\_layers, 见图 3-1。

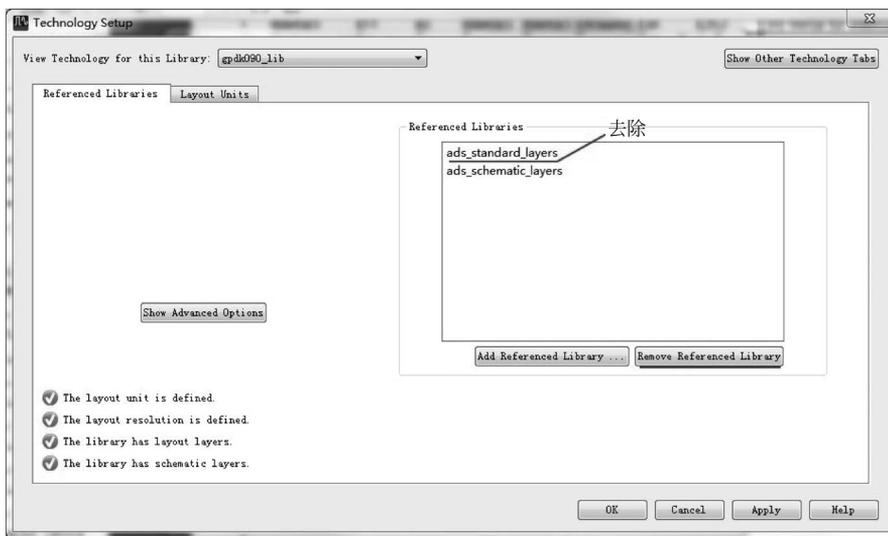


图 3-1 工艺参考库设置界面

(2) 在 ADS 主界面选择 Options-Technology-Layer Definitions, 根据表 3-1 中给出的层号添加金属层 M1~M9, 过孔 Via1~Via8, 如图 3-2 所示。

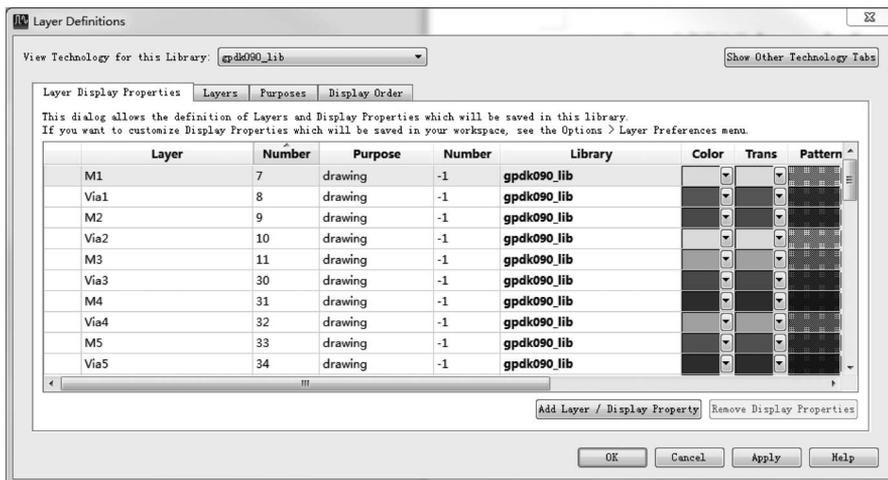


图 3-2 重新定义各层界面

(3) 在 ADS 主界面选择 Options-Technology-Technology setup, 在 Layout Units 面板中设置 Units(单位)为 micron, 如图 3-3 所示。

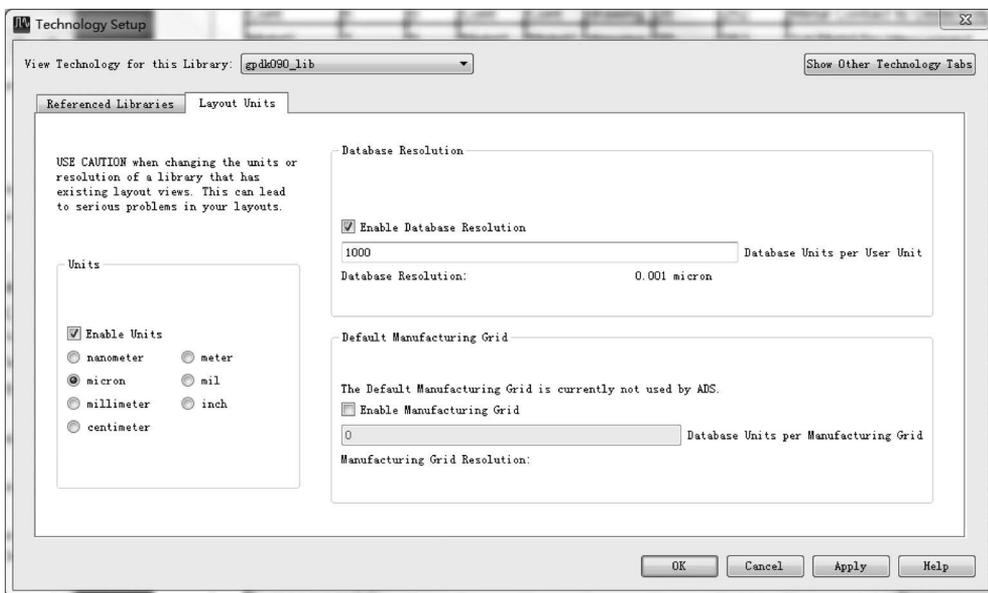


图 3-3 设置版图单位

### 3.2.1 衬底设置考虑

由于 ADS momentum 中衬底设置的复杂程度会直接影响仿真速度, 所以通常在设置衬底时并不完全按照工艺给出的层数进行设置, 可以根据仿真的实际情况和需要, 将衬底中没有用到的介质层合并, 这样可以简化衬底设置, 也可以提高仿真速度。

一般而言, 由于顶层金属相对其他层金属较厚, 所以片上无源器件的设计通常采用最上面两层金属实现, 较少使用中间层和下层金属。在本案例中选取第 1、7、8、9 层金属, 将中间介质层(2~6 层)进行合并设置, 读者在实际设计中可按相同方法根据需要增加或减少设置层。

### 3.2.2 衬底设置操作步骤

(1) 在 ADS 主界面中单击 File-New-Substrate, 出现对话框如图 3-4 所示, 在 File Name 栏填写衬底文件名为 gpdk090, 其余默认。

(2) 鼠标点中最底层介质, 在右边出现的 Material 栏中选择 Silicon, 如没有该选项, 则单击右边按钮进入 edit materials 界面, 如图 3-5 所示。在 Semiconductors 面板中添加半导体材料 Silicon, 注意设置介电常数为 11.9, 电阻率为 10Ohm. cm。在 Conductors 面板中添加 Cu 导体, 如图 3-6 所示。在 Dielectrics 面板中添加介质 IMD1 和 IMD2, 这两种

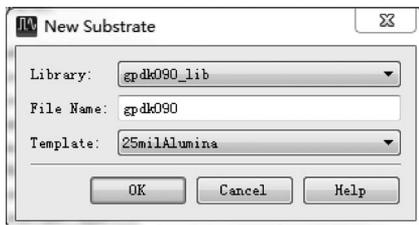


图 3-4 新建衬底输入

介质的属性需要自行设置,介电常数分别为 2.9 与 4.2,如图 3-7 所示。

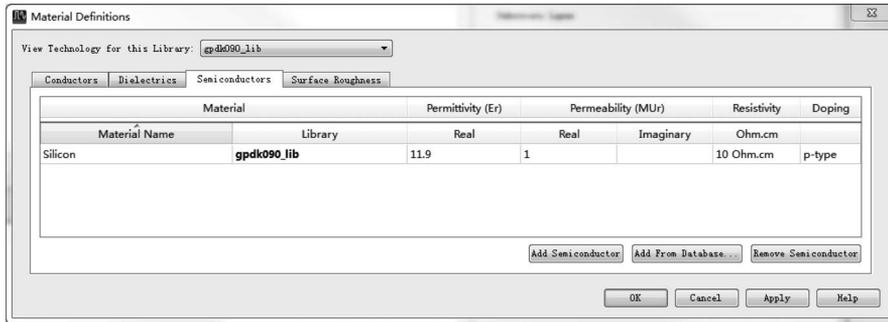


图 3-5 添加硅衬底材料

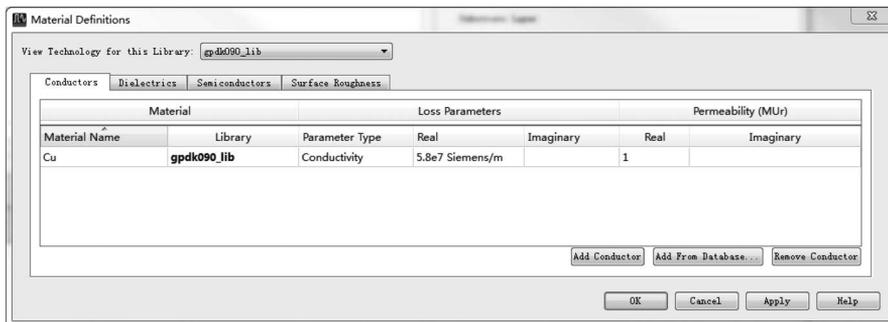


图 3-6 设置金属 Cu 属性

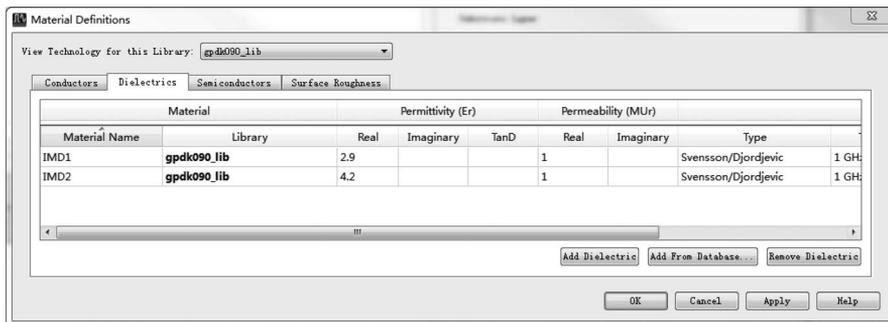


图 3-7 设置介质属性

然后返回衬底设置界面,在 Thickness 栏中设置厚度为  $300\mu\text{m}$ ,如图 3-8 所示。

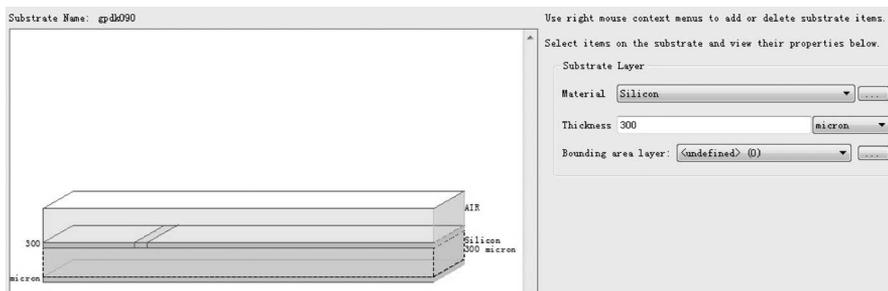


图 3-8 设置硅衬底材料与厚度

(3) 在衬底设置界面,鼠标选中衬底层上面的 interface 薄面,然后右键选择 map conductor layer,如图 3-9 所示。在右边面板中设置 Conductor Layer 为 M1,Material 为 Cu,Thickness 为  $0.3\mu\text{m}$ ,如图 3-10 所示。注意将多余的导体删掉。

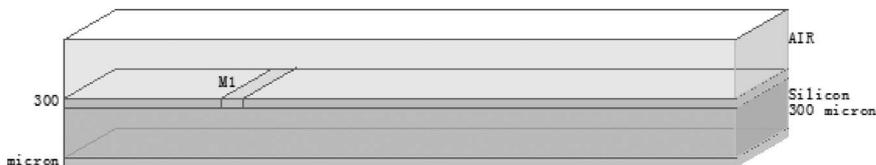


图 3-9 映射导体层

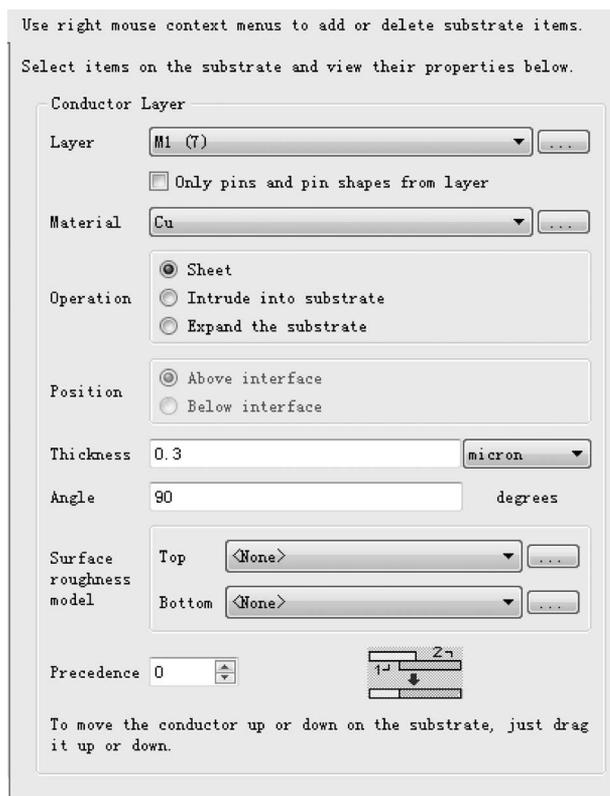


图 3-10 设置金属层 M1 属性

(4) 在衬底设置界面,鼠标选中硅衬底,右键选择 Insert Substrate Layer Above,在硅衬底上方增加一介质层 IMD1,设置 Material 为 IMD1,Thickness 为  $3.3\mu\text{m}$ (将第 2 层~第 6 层的金属层厚度与介质层厚度合并计算得到),如图 3-11 所示。

(5) 在衬底设置界面,鼠标选中 IMD1 介质层上面的 interface 薄面,然后右键选择 map conductor layer,在右边面板中设置 Conductor Layer 为 M7,Material 为 Cu,Thickness 为  $0.36\mu\text{m}$ 。接下来设置 M1~M7 之间的过孔 Via1,在衬底设置界面,鼠标选中 IMD1 介质层,右键选择 Map Conductor Via,设置 Conductor Via 为 Via1,Material 为 Cu。

(6) 在衬底设置界面,鼠标选中 IMD1 介质层,右键选择 Insert Substrate Layer Above,在硅衬底上方增加一新介质层 IMD2,设置 Material 为 IMD2,Thickness 为  $0.6\mu\text{m}$ 。然后按照步骤(5)设置 M8 和 Via2,其中 M8 厚度为  $1\mu\text{m}$ 。在 M8 上方再次新增介质层

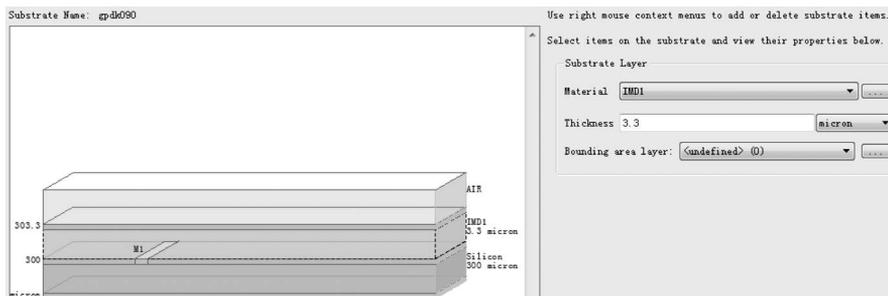


图 3-11 设置中介介质层 IMD1

IMD2, 设置 Material 为 IMD2, Thickness 为  $0.6\mu\text{m}$ 。然后按照步骤(5)设置 M9 和 Via3, 其中 M9 厚度为  $1\mu\text{m}$ 。最后衬底模型如图 3-12 所示。

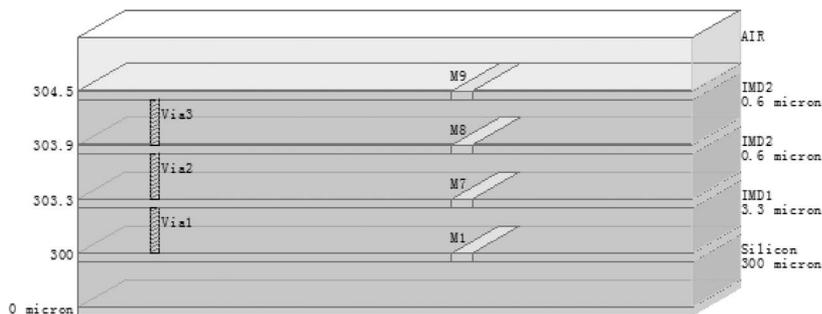


图 3-12 合并介质层后的衬底模型

### 3.3 片上电感设计

片上集成电感是实现射频集成电路模块如低噪声放大器、压控振荡器和匹配网络等必不可少的元件。一般片上集成电感主要采用平面螺旋形, 利用标准 CMOS 工艺的最上两层或多层可以实现电感元件, 其中最顶层用作螺旋线圈, 另一层用作中间跨接互连线及引线。

#### 3.3.1 电感技术指标

(1) 螺旋电感的品质因素。前面我们已经多次提到螺旋电感的品质因素, 它描述了电感的性能。在射频电路设计中, 我们总是希望能使用高品质的螺旋电感, 然而由于 CMOS 工艺中衬底的高损耗, 如何设计高品质的螺旋电感已经成为 CMOS 射频集成电路设计的一个瓶颈。在现有的 CMOS 工艺基础上, 目前主要使用屏蔽层 (PGS) 以及对称电感来提高螺旋电感的品质因素。此外, 运用多边形的螺旋电感也能提高电感的品质因素。螺旋电感品质因素的定义为

$$Q = -\frac{\text{Im}(Y_{11})}{\text{Re}(Y_{11})} \quad (3-2)$$

(2) 螺旋电感的电感值。螺旋电感主要表现为电感特性, 因此其电感值是一个重要的参数。不同的几何尺寸能得到不同的电感值, 一般地, 相同面积的非对称性电感比对称性电感具有更大的电感值, 但是  $Q$  (品质因素) 值较小, 因此选择合适的电感时要综合考虑面积和品质因素。

螺旋电感的等效输入电感值可以定义为

$$L = \text{imag}(1/Y_{11})/\omega \quad (3-3)$$

螺旋电感的等效串联电感可以定义为

$$L_s = \text{imag}(-1/Y_{12})/\omega \quad (3-4)$$

(3) 螺旋电感的等效串联电阻。螺旋电感的等效串联电阻代表了组成电感的螺旋金属线的损耗。为了能得到高品质的在片螺旋电感,可以使用厚金属、高电导率金属来绕制螺旋电感。螺旋电感的等效串联电阻可以定义为

$$R_s = \text{real}(-1/Y_{12}) \quad (3-5)$$

(4) 螺旋电感的衬底导纳。如何减小螺旋电感的 CMOS 衬底损耗是螺旋电感中的一个重要研究课题,电感衬底导纳可以从测试数据中分离出,可以表示为

$$Y_{\text{sub}} = Y_{11} + Y_{12} \quad (3-6)$$

### 3.3.2 片上集成电感类型

常见的平面螺旋电感的类型有方形、八角形、圆形和对称结构 4 种,如图 3-13 所示。其中,方形电感结构最为简单,也是最常用的一种形式。圆形电感具有较高的品质因子,但是由于一般工艺给出的设计规则并不支持弧形走线,所以常采用正六边形和正八边形等形状近似圆形。由于对称结构的电感线圈沿着一条对称轴互绕,端口分布在对称轴两侧,方便与其他电路互连,而且几何中心与电中心重合,可提供一个中心引出端(虚地,常用于直流馈电),非常适用于传输差分信号。

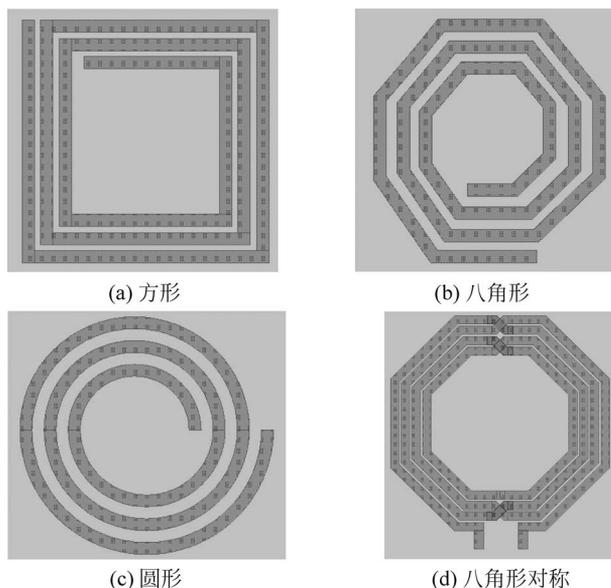


图 3-13 常见平面螺旋电感类型

### 3.3.3 电感设计案例分析

设计指标如下:

频率: 3GHz;

电感: 3nH;

Q 值: 10。

### 1. 版图设计

螺旋电感的物理参数主要包括匝数( $N$ )、外径( $d_{out}$ )/内径( $d_{in}$ )、间距( $S$ )和线宽( $W$ )。线圈的  $N$  直接影响到螺旋电感的磁链大小,因而对于相同  $d_{out}$  的螺旋电感来说, $N$  越大,自感值( $L$ )越大。同时, $N$  的增加会导致寄生电容增大,使得自谐振频率( $f_{SR}$ )不可避免地下降。 $d_{out}$  的大小同样直接影响到螺旋电感的磁链大小,因而对于相同  $N$  的螺旋电感来说, $d_{out}$  越大, $L$  越大。一方面, $d_{out}$  增大也会导致寄生电容增大,使得  $f_{SR}$  下降。螺旋电感的  $S$  越小,线间寄生电容就越大,存储在寄生电容里的电场能量就越大;另一方面,片上螺旋电感的相邻金属线中的电流方向一致,若  $S$  越小,则相邻线间的正互感越大,整体电感的  $L$  就越大。 $W$  增加使线圈欧姆损耗变小,在一定程度上可以提高电感的  $Q$  值。但这并不意味着  $W$  越大越好,首先,在高频下趋肤效应的存在使得电流分布在金属的边缘,当  $W$  已经大于趋肤深度时,一味增大  $W$  将无助于有效降低欧姆损耗;其次,磁场穿过金属将在金属中产生涡流损耗, $W$  越大,则截获的磁场越多,产生的损耗也就越大。例如对于工艺 TSMC 0.18 $\mu\text{m}$  1P6M RF CMOS 而言,根据实际设计经验, $W=8\mu\text{m}$  是螺旋电感金属线宽的优选值。掌握以上规律将有助于对螺旋电感的优化设计。

本案例中,首先新建版图取名为 cell\_2,然后在版图中进行电感的设计。电感形状采用八角形对称结构,采用顶层金属 M9 和 M8,线圈匝数  $N=3$ ,外径  $d_{out}=230\mu\text{m}$ ,线宽  $W=9\mu\text{m}$ ,间距  $S=2\mu\text{m}$ 。在版图设计界面中首先选择 M9 层,然后单击菜单或图标 insert path,设置对话框如图 3-14 所示。画这种对称螺旋电感时先画一半,然后复制为另一半,在中心交叉部位通过 M8 层和过孔进行连接。在两个输出端采用“Insert Pin”(通过按钮或菜单)添加端口 P1 和 P2。画好后的版图如图 3-15 所示。

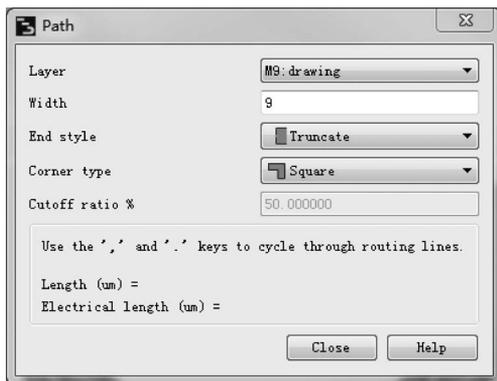


图 3-14 插入 Path 设置

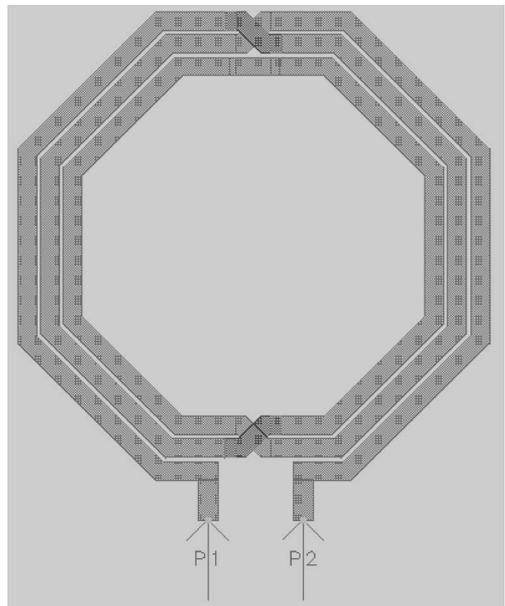


图 3-15 八角形对称电感版图

## 2. 仿真设置

在版图中单击菜单 EM—Simulation Setup(或工具栏中图标 )，在仿真设置主界面中设置 Setup Type 为 EM Simulation/Model, EM Simulator 为 Momentum Microwave, 如图 3-16 所示。然后在左栏 Substrate 设置中, 选择衬底文件 gpdk090, 如图 3-17 所示。在左栏 Ports 设置中, 可以看到出现两个端口 1 和 2, 默认端口 1 中正极性端为 P1, 负极性端为 Gnd, 端口 2 中正极性端为 P2, 负极性端为 Gnd, 两个端口默认的参考点均为地平面, 该地平面位于衬底背面。图 3-18 给出了端口位置三维示意, 端口方向从地平面指向电感。选择左栏 Frequency plan 项, 设置频率扫描类型 type 为 Adaptive, 起始频率 Fstart 为 0GHz, 终止频率 Fstop 为 10GHz, 仿真点数 Npts 为 50, Enabled 项前面打钩。其余设置默认。仿真设置完成后, 单击菜单 EM—Simulate 或工具栏中图标 , 运行 EM 仿真。如果为第一次仿真, 软件会先对衬底进行计算, 需要消耗较多时间, 以后只要衬底不作修改, 每次仿真均会跳过衬底计算过程, 直接进入器件仿真。

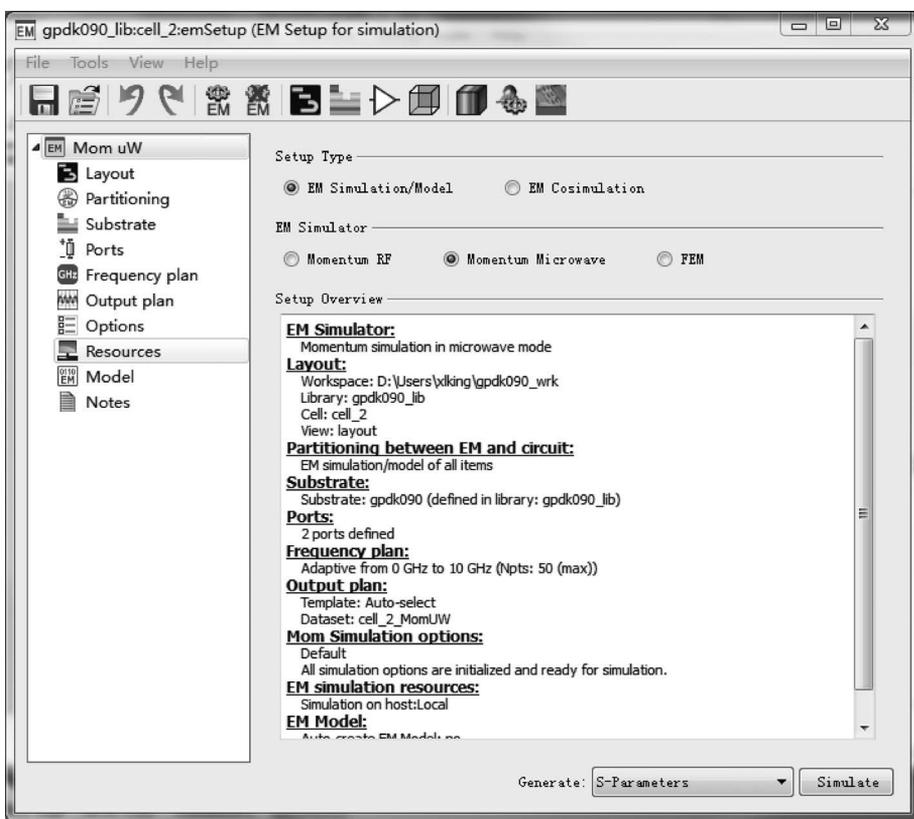


图 3-16 EM 仿真设置界面

## 3. 仿真结果处理

仿真结束后自动出现结果显示界面, 内容默认为 S 参数曲线, 如图 3-19 所示。仿真数据包括离散和拟合的 S 参数, 离散数据保存在 cell\_2\_MomUW.ds 文件中, 拟合的数据保存在 cell\_2\_MomUW\_a.ds 文件中。显然 EM 仿真并不能直接得到电感值和 Q 值, 因此还需要进一步对仿真数据进行处理才能获得所需的电感值和 Q 值。

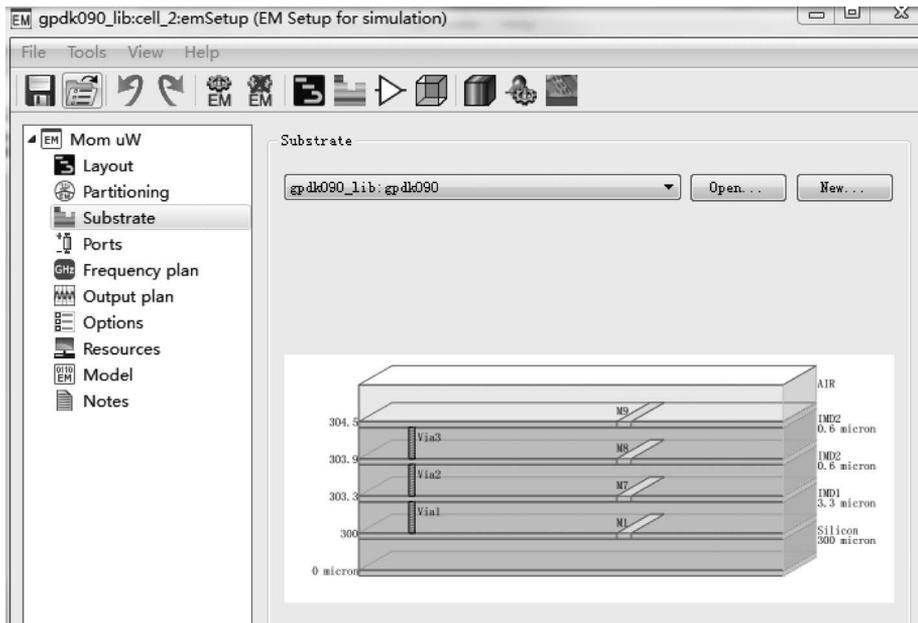


图 3-17 衬底设置

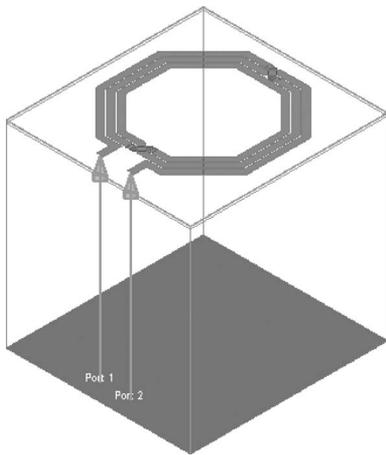


图 3-18 端口及电感三维示意

首先在 cell\_2 单元中新建一个原理图 schematic, 在原理图中放置一个 S2P 组件(在左栏 Data Items 项中选择), 然后在左栏选择 Simulation-S\_Param 项, 选择 SP 组件和 2 个端口 Term 组件放置在原理图中。如图 3-20 所示。

在 S2P 组件属性中设置 File Name 为 cell\_2\_MomUW\_a.ds, File Type 为 Dataset, 其余默认。S\_Param 仿真组件 Frequency 属性中设置 Sweep Type 为 Linear, 起始频率 Start 为 0GHz, 终止频率 Stop 为 10GHz, 步进 Step-size 为 0.1GHz。Parameters 属性面板中 Calculate 类型同时选择 S-parameters, Y-parameters 和 Z-parameters, 其余默认。设置完成后在原理图中运行仿真。仿真结束后弹出数据结果显示界面,

默认仿真结果显示文件还是 cell\_2.dds, 在结果显示界面中单击左栏 Eqn 图标进行电感  $L$  和品质因数  $Q$  的公式输入, 以  $Y$  参数为数据源, 输入电感计算公式  $L1 = \text{im}(1/Y(1,1)) / (2 * \pi * \text{freq}) * 1e9$ , 品质因数计算公式  $Q1 = \text{im}(1/Y(1,1)) / \text{re}(1/Y(1,1))$ 。然后在结果显示界面左栏中单击 Rectanglar Plot 图标, 在弹出的对话框中 Datasets and Equations 栏选择 Equations, 然后选择  $L1$  并添加(Add)到右边栏中, 单击 OK 按钮后显示电感曲线。按照同样方法显示品质因数  $Q$ 。结果如图 3-21 所示。

添加 mark。选中相应曲线, 在工具栏上单击图标 , 将鼠标移动到所要观察的曲线上, 可以看到在频率 3GHz 处, 设计的电感值为 3.3nH, 品质因数  $Q$  为 10.7。

除了通过  $Y$  参数获得电感和  $Q$  值外, 我们也可以通过  $Z$  参数计算电感和  $Q$  值。在原

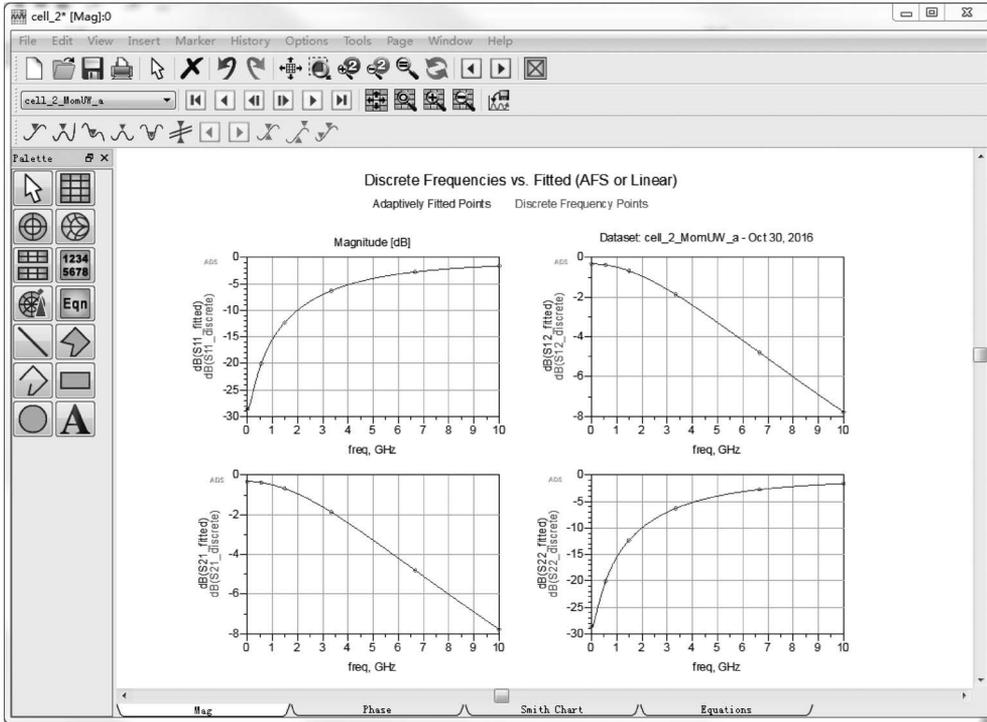


图 3-19 EM 仿真结果显示

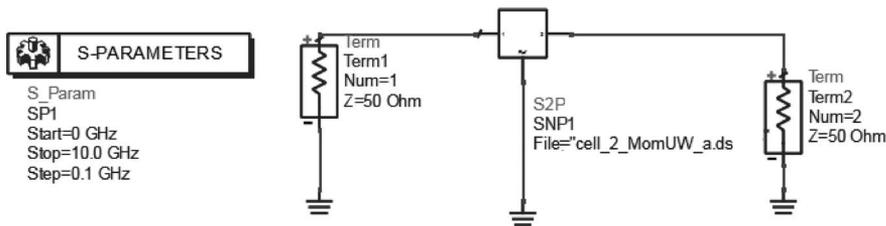


图 3-20 电感仿真原理图

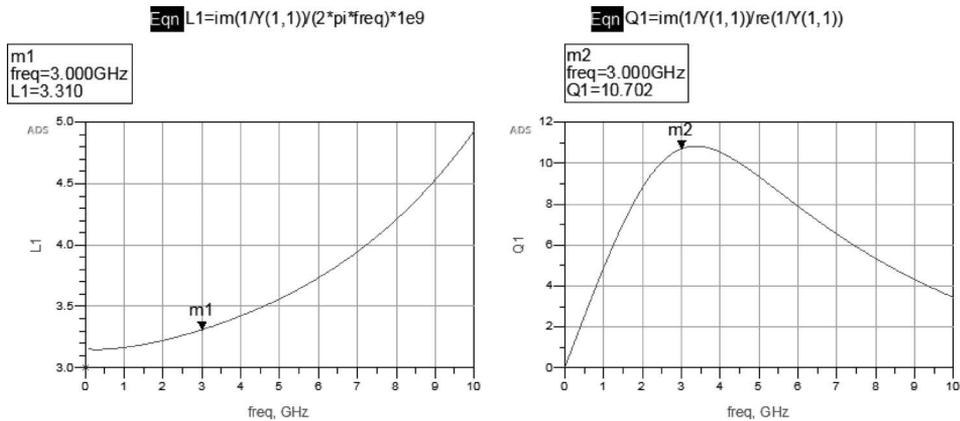


图 3-21 电感和 Q 值仿真曲线

理图中将 S2P 组件的第 2 端口直接接地,如图 3-22 所示。在仿真结果显示界面中分别输入公式  $L = \text{im}(Z(1,1)) / (2 * \pi * \text{freq}) * 1e9$  和  $Q = \text{im}(Z(1,1)) / \text{re}(Z(1,1))$ , 所得结果与 Y

参数计算一致。

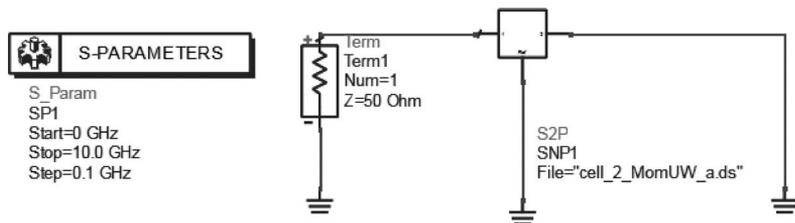
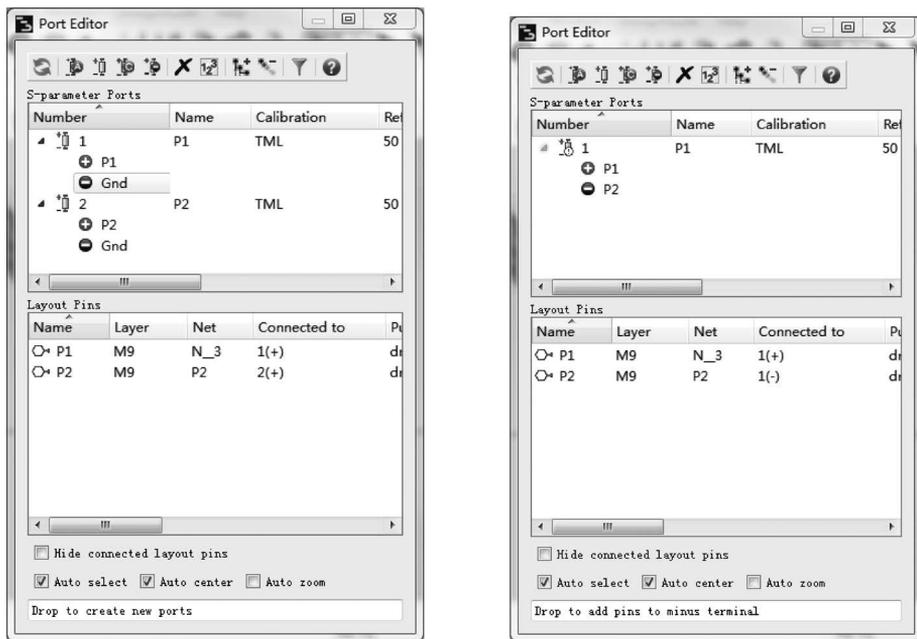


图 3-22 基于 Z 参数的电感仿真原理图

### 3.3.4 差分电感的仿真

在差分射频电路中,如低噪声放大器和振荡器等,电路往往设计为完全对称结构,此时差分电感为普遍采用的形式,对差分电感的仿真与普通电感在设置上有所区别。以前面仿真的电感为例,在版图中进行 EM 设置时,需要对 Ports 的设置进行调整,将 P1 和 P2 这两个端口合并为一个差分端口,具体操作如下:

(1) 在版图界面单击 EM 仿真设置,进入 Ports 设置界面,默认显示为 P1 和 P2 两个端口,单击 Ports 界面中的 Edit,弹出 Port Editor 对话框,如图 3-23(a)所示,用鼠标拖动 P2 往上移动到 1 端口的负极性位置替换 Gnd,这样就形成了一个差分端口。如图 3-23(b)所示。



(a) 单端口Port设置

(b) 差分端口Port设置

图 3-23 差分端口设置与单端口设置区别

(2) 运行 EM 仿真。然后在原理图中放置 1 个 S1P 组件(在 Data Items 项中选择)、1 个 S\_Param 仿真组件和一个端口 Term,设置 S1P 组件属性 File Name 为 cell\_2\_MomUW\_a.ds,File Type 为 Dataset。S\_Param 仿真组件 Frequency 属性中设置 Sweep Type 为

Linear,起始频率 Start 为 0 GHz,终止频率 Stop 为 10GHz,步进 Step-size 为 0.1GHz。Parameters 属性面板中 Calculate 类型同时选择 S-parameters, Y-parameters 和 Z-parameters,其余默认。设置完后在原理图中运行仿真。在仿真结果显示界面中,单击左栏 Eqn 图标,输入电感计算公式  $L1 = \text{im}(1/Y(1,1))/(2 \times \pi \times \text{freq}) \times 1e9$ ,品质因数计算公式  $Q1 = \text{im}(1/Y(1,1))/\text{re}(1/Y(1,1))$ 。然后在结果显示界面中单击左栏 Rectanglar Plot 图标,在弹出的对话框中 Datasets and Equations 栏选择 Equations,选择 L1 并添加(Add)到右边栏中,单击 OK 后显示电感曲线。按照同样方法显示品质因数 Q。结果如图 3-24 所示。

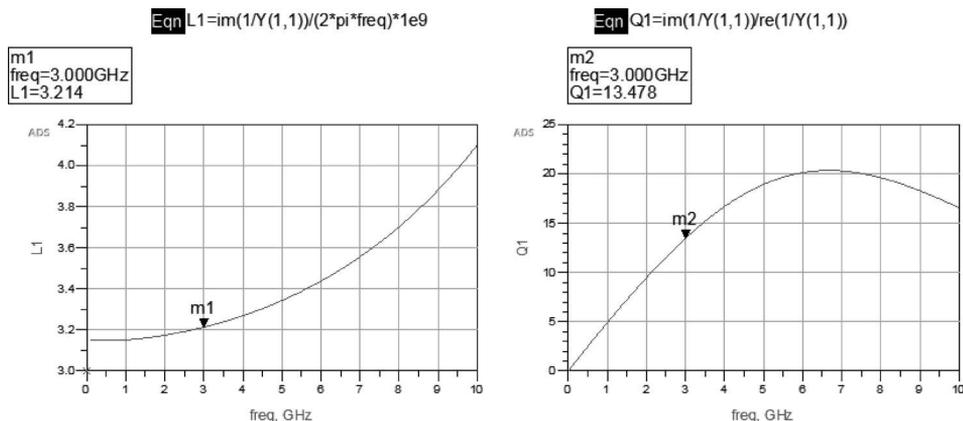


图 3-24 差分电感仿真结果

对于同样的电感版图结构,比较之前的单端电感与差分电感仿真结果,可以发现两者电感在数值上相差不大,分别为 3.3nH 和 3.2nH,但是差分电感的品质因数 Q 明显要高于单端电感的 Q(10.7),为 13.4。

## 3.4 片上变压器设计

片上集成变压器是由两个相互耦合的电感组合而成,两个电感之间的相对位置不同,则变压器的性能就会有所差异。根据硅基工艺所具有的多层平面型的结构特点,可以将组成变压器的两个电感放在同一层面或不同层面上,从而形成两种类型的片上变压器:平面式和层叠式。

### 3.4.1 片上集成变压器技术指标

#### (1) 自感、品质因数和自谐振频率

片上变压器的自感指的是当其他线圈开路的情况下端口处的自感量,分别用  $L_p$  和  $L_s$  表示片上变压器初级和次级的自感。它们的大小由片上变压器初、次级线圈的几何形状、外径大小、线圈匝数所决定,而与片上变压器中的电流大小无关。将片上变压器看作二端口网络(初、次级线圈分别有一个端子接地),片上变压器的自感和 Q 值可以直接用二端口网络的 Z 参数定义为

$$L_p = \text{Im}(Z_{11}) / (2\pi f) \quad (3-7)$$

$$L_s = \text{Im}(Z_{22}) / (2\pi f) \quad (3-8)$$

$$Q_p = \text{Im}(Z_{11}) / \text{Re}(Z_{11}) \quad (3-9)$$

$$Q_s = \text{Im}(Z_{22}) / \text{Re}(Z_{22}) \quad (3-10)$$

如果将片上变压器看作四端口网络,可以在其四端口  $Y$  参数矩阵中将初、次级线圈需要接地的端子对应的行与列去除,将剩下的  $2 \times 2$  规模的  $Y$  参数矩阵转换为对应的  $Z$  参数矩阵,这样就可以直接用上面的公式求出片上变压器线圈的自感和  $Q$  值了。

变压器的自谐振频率  $f_{\text{SR}}$  可以定义为其自感或  $Q$  值减小到 0 时所对应的频率,当工作频率低于  $f_{\text{SR}}$  时变压器的初、次级线圈表现为感性;当工作频率高于  $f_{\text{SR}}$  时变压器的初、次级线圈将表现为容性。

### (2) 互感和磁耦合系数

由于变压器的初、次级线圈紧密缠绕在一起,因而一个线圈产生的磁场必然通过对方的回路区域,初级线圈中的电流变化会引起次级线圈回路中磁通量的变化,从而在次级线圈中产生感应电动势,反之亦然。这种由磁场的相互耦合而产生感应电动势的现象即为互感效应,互感效应的大小由互感系数(简称互感) $M$  来衡量。

对互感的定义与计算主要限于直流或低频情况,对于高频下的互感可以仿照自感的方式由二端口网络  $Z$  参数直接提取:

$$M = \text{Im}(Z_{12}) / (2\pi f) = \text{Im}(Z_{21}) / (2\pi f) \quad (3-11)$$

互感值的大小仅能表示初、次级线圈之间磁耦合能力的绝对大小,但不能表现其磁耦合效率。磁耦合效率通常用互感  $M$  对自感  $L_p$  和  $L_s$  的归一化(即磁耦合系数  $k$ )来表示:

$$k = \frac{\sqrt{\text{Im}(Z_{12})\text{Im}(Z_{21})}}{\sqrt{\text{Im}(Z_{11})\text{Im}(Z_{22})}} \quad (3-12)$$

### (3) 插入损耗和带宽

插入损耗(IL, insertion loss)是用来衡量信号经过变压器后功率损耗大小的指标,在数值上 IL 等于变压器二端口  $S$  参数中的前向传输系数  $S_{21}$  的幅值(通常用分贝表示),即

$$\text{IL} = 20 \lg(|S_{21}|) \quad (3-13)$$

变压器的工作带宽(BW, band width)可以定义为:以最小插入损耗  $\text{IL}_{\text{min}}$  为基准,IL 增加一定量值(比如 1dB)所对应的频率变化范围。

## 3.4.2 片上集成变压器类型

### (1) 平面式片上变压器

平面式片上变压器初、次级线圈的两个螺旋电感均位于同一平面层内,一般选用顶层金属层来尽量减小变压器的金属损耗和变压器到衬底的寄生电容。为了在电感间得到最大的磁耦合,通常将两个螺旋线圈紧密绕制在一起,根据绕制方式的不同可以形成多种形式的平面式变压器,如图 3-25 所示。

图 3-25(a)是平行互绕式变压器(也称 Shibata 结构)的结构图,这种结构的特点为:变压器的初、次级线圈相互平行,用类似于双绞线的方式将两者按同一绕向紧密缠绕。虽然这种结构具有较高的磁耦合能力,但存在以下明显缺点:初、次级线圈的长度不相等且两者不具有任何对称性;初、次级线圈端口紧靠在一起,能量容易在端口处相互泄漏。

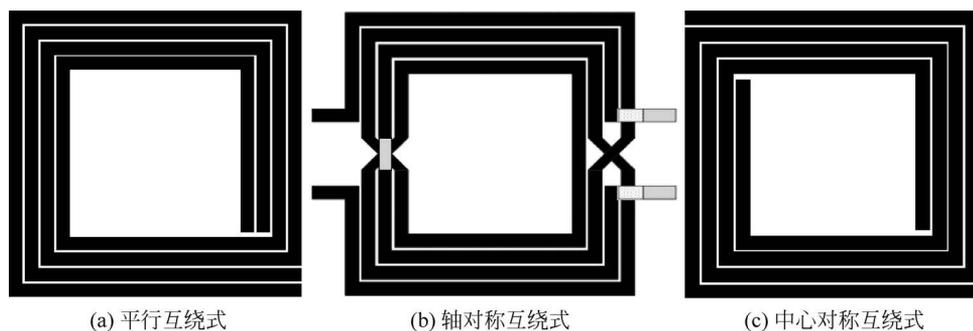


图 3-25 平面式片上变压器结构

图 3-25(b)是轴对称互绕式变压器(也称 Rabjohn 结构)的结构图,这种结构的一个显著特点是具有轴对称性,因而可以确定初、次级线圈几何中心点的准确位置。如果将初、次级线圈的几何中心点均接地,则此变压器便适合传输差分信号;如果只将初、次级线圈的几何中心接地,则此变压器就可以实现单端和差分信号的转换,即构成了一个巴伦元件。需要注意的是,Rabjohn 结构并不是绝对轴对称的,对称轴附近的低层过渡段并非使用同一层金属,使用不同金属层的过渡段的金属厚度、垂直高度、需要的过孔种类均有所差异,因而造成轴对称性下降,但通过合理的设计可以将这种不对称性降到最低。

图 3-25(c)是中心对称互绕式变压器(也称 Frlan 结构)的结构图,这种结构的初、次级线圈分别从变压器左右两边按中心对称方式互相缠绕,可以保证初、次级线圈特性完全一致,提供理想的 1:1 的圈数比。另外,Frlan 结构能够使得初、次级线圈的端口分布在元件的两侧,便于片上变压器与前后级电路的连接。

## (2) 层叠式片上变压器

层叠式片上变压器(也称 Finlay 结构)的三维结构图如图 3-26 所示,其初、次级线圈的两个螺旋电感分别位于不同的平面层内。对于平面式片上变压器而言,初(或次)级线圈的相邻线属于次(或初)级,而层叠式片上变压器在一个层面内仅包含初(或次)级线圈,其初(或次)级线圈的相邻线之间可以靠得更近,层叠式变压器的初(或次)级线圈与平面式相比具有更高的品质因数。另外,与平面式结构中的侧壁耦合情况不同,层叠式结构能够提供垂直方向上的宽边耦合,因而具有更高的磁耦合性能。层叠式片上变压器不可避免地也存在一些缺点,如初、次级线圈之间较大的寄生电容导致变压器的自谐振频率较低;由于不同层的金属层厚度不同且下层线圈对上层线圈具有电屏蔽作用,因而初、次级线圈之间不具有对称性。

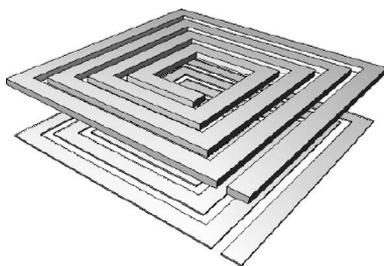


图 3-26 层叠式片上变压器结构

### 3.4.3 片上螺旋变压器设计案例分析

设计指标如下:

频率: 8GHz;

自感值: 1.8nH;

Q 值: >10;

耦合系数：0.7；

插入损耗：-3.5dB。

### 1. 版图设计

变压器采用平面轴对称互绕式,其中变压器的一次侧和二次侧线圈匝数为2,线宽均为 $10\mu\text{m}$ ,线间距为 $2\mu\text{m}$ ,变压器线圈外径为 $236\mu\text{m}$ 。在ADS版图设计中提供了功能丰富的画版图途径。对于该螺旋变压器版图,由于结构完全对称,可以先画一半,然后再复制镜像获得另一半。首先在界面单击菜单 Options-Preference,在 Entry/Edit 面板下选择 Entry Mode 为 45 degree angle only,表示在版图中的走线角度限制在 $45^\circ$ 。然后在版图界面中单击菜单 Insert—Trace 或单击图标,在弹出的对话框中选择 Layer or Line name 为 M9, Width 为 9,如图 3-27 所示。

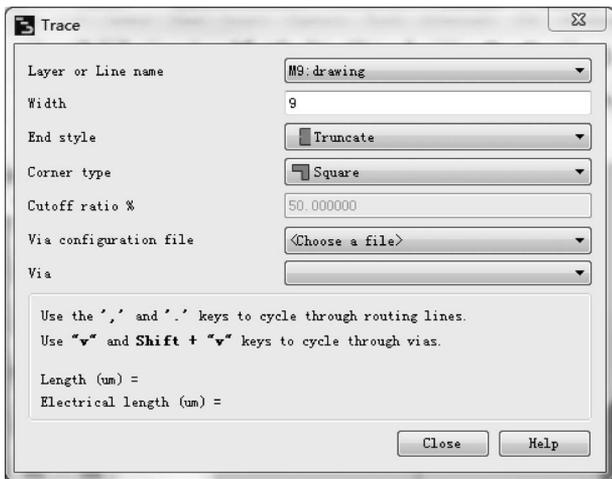


图 3-27 设置走线参数

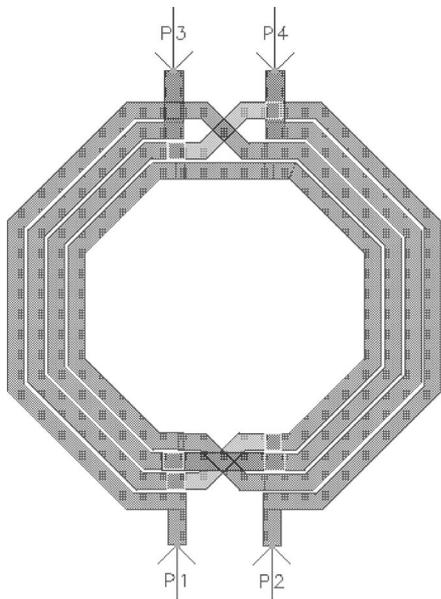


图 3-28 变压器版图

此处给出一种画法,画八角形一半图形时先画最里面的走线,每条边的长度为 $56\mu\text{m}$ (走 $45^\circ$ 斜线段时 $x$ 和 $y$ 的位移正好为 $40\mu\text{m}$ ),最里面的半圈走线画完后,直接复制该线段,然后放置在距离内圈 $2\mu\text{m}$ 处,再用鼠标点住线段的调整点往外拖,直至每条边均距离内圈间距为 $2\mu\text{m}$ ,注意调整时需借助插入 ruler 观察是否达到 $2\mu\text{m}$ 间距要求。按上述方法画完4个半圈形状后,然后复制镜像到右半边,最后画中间连接部分。在原边和副边两个线圈输出端采用“Insert Pin”(通过按钮或菜单)添加端口 P1、P2、P3 和 P4。完成后如图 3-28 所示。

### 2. 仿真设置

在版图中单击菜单 EM—Simulation Setup (或工具栏中图标) ,在仿真设置主界面中设置 Setup Type 为 EM Simulation/Model,EM Simulator

为 Momentum Microwave。然后在左栏 Substrate 设置中,选择衬底文件 gpdk090。在左栏 Ports 设置中,可以看到出现 4 个端口 1、2、3 和 4,默认端口 1 中正极性端为 P1,负极性端为 Gnd,端口 2 中正极性端为 P2,负极性端为 Gnd,两个端口默认的参考点均为地平面,参照 3.3.4 节差分端口设置方式,将 P1 和 P2 设置为一对差分端口,P3 和 P4 设置为一对差分端口,如图 3-29 所示。图 3-30 给出了变压器端口位置 3D 示意图。选择左栏 Frequency plan 项,设置频率扫描类型 type 为 Adaptive,起始频率 Fstart 为 1GHz,终止频率 Fstop 为 20GHz,仿真点数 Npts 为 50,Enabled 项前面打钩。其余设置默认。仿真设置完成后,单击菜单 EM—Simulate 或工具栏中图标 ,运行 EM 仿真。

Number	Name	Calibration	Ref Impedance [Ohm]
1	P1	TML	50 + 0i
2	P2		
3	P3	TML	50 + 0i
4	P4		

Layout Pins					
Name	Layer	Net	Connected to	Purpose	X [um]
P1	M9	N_7	1(+)	drawing	194.57
P2	M9	N_4	1(-)	drawing	246.41
P3	M8	D2	2(+)	drawing	102.77

图 3-29 变压器端口设置

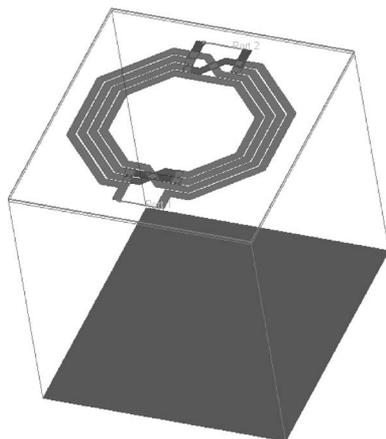


图 3-30 变压器端口 3D 示意图

### 3. 仿真结果处理

根据仿真的  $S$  参数获取变压器原边线圈与副边线圈电感  $L1$ 、 $L2$ ,品质因数  $Q1$ 、 $Q2$ ,互感  $M$ 、耦合系数  $k$  以及插入损耗  $IL$ 。在仿真结果显示界面中,单击左边栏公式图标 Eqn,输入公式:

$$\text{Eqn } L1 = \text{im}(Z(1,1)) / (2 * \pi * \text{freq}) * 1e9$$

$$\text{Eqn } L2 = \text{im}(Z(2,2)) / (2 * \pi * \text{freq}) * 1e9$$

$$\text{Eqn } Q1 = \text{im}(Z(1,1)) / \text{re}(Z(1,1))$$

$$\text{Eqn } Q2 = \text{im}(Z(2,2)) / \text{re}(Z(2,2))$$

$$\text{Eqn } M = \text{im}(Z(1,2)) / (2 * \pi * \text{freq}) * 1e9$$

$$\text{Eqn } k = \sqrt{(\text{im}(Z(1,2)) * \text{im}(Z(2,1))) / (\text{im}(Z(1,1)) * \text{im}(Z(2,2)))}$$

$$\text{Eqn } IL = 20 * \log(\text{mag}(S(2,1)))$$

图 3-31 为变压器原边线圈与副边线圈的仿真结果,可以看出自谐振频率在 15GHz,两个线圈电感在 8GHz 时为 1.8nH。图 3-32 为变压器线圈的品质因数,在 8GHz 时品质因数接近最大值。随着频率的继续增大,由于线圈的寄生电容越发明显,品质因数呈现下降趋势。图 3-33 为变压器互感,图 3-34 为变压器耦合系数,在 8GHz 时耦合系数为 0.738。图 3-35 为变压器的插入损耗曲线,在 8GHz 时插入损耗为 -3.49dB。变压器的插入损耗是损耗与磁耦合共同作用的结果,在低频时由于线圈之间的磁场耦合不紧密,因此耦合系数  $k$

较低,插入损耗也较大,随着频率的增大,磁耦合效率明显提高,插入损耗也显著减小,但频率增大到一定程度后,寄生效应和趋肤效应增大,导致损耗增大,所以插入损耗并非随着耦合系数的减小而单调增加。

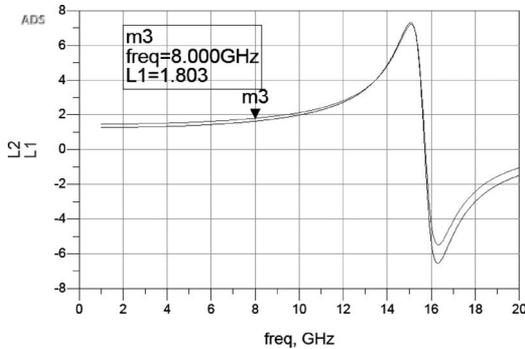


图 3-31 变压器原边线圈与副边线圈电感

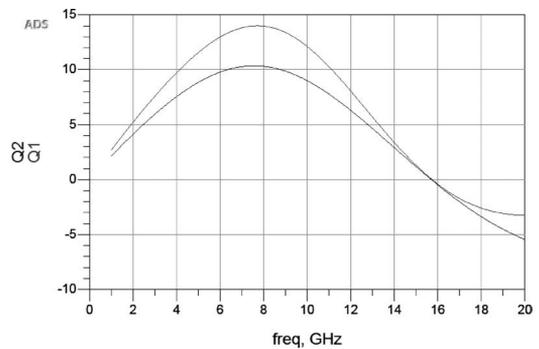


图 3-32 变压器原边线圈与副边线圈品质因数

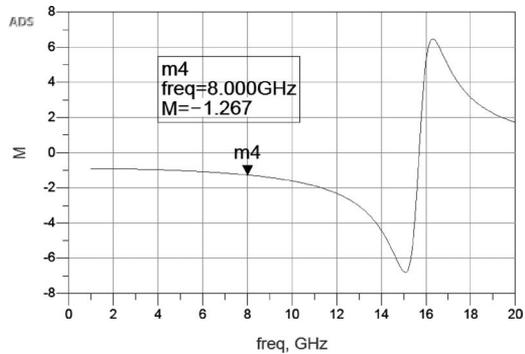


图 3-33 变压器互感

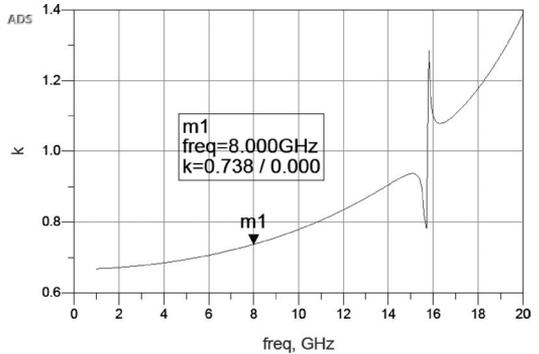


图 3-34 变压器耦合系数

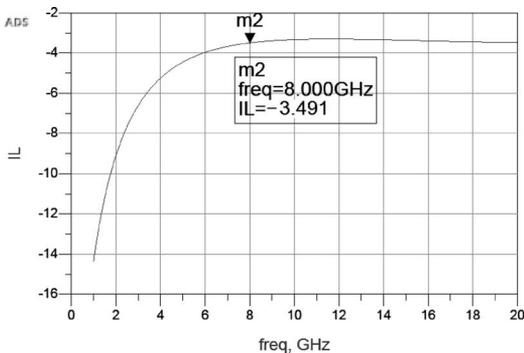


图 3-35 变压器插入损耗

通常在低 GHz 频段射频集成电路应用中,变压器的设计遵循如下规律:

平面螺旋变压器的磁耦合强度与匝数和直径成正比,与线宽和线间距成反比,线圈自感的变化趋势与  $k$  类似。通带内的最小插入损耗由耦合强度和损耗共同决定。在版图设计上,线间距应该取尽可能小的值。直径越大插入损耗越小,配合相应的最优线宽可以实现最小的插入损耗。频率特性主要受到直径的影响。直径越大,自谐振频率越低。在相同外

径下自谐振频率随着线宽增大而提高,较大的外径最优线宽也较大,在一定程度上对频率起到了补偿作用。在相同内径下,自谐振频率随着线宽增大而降低。线间距对频率特性的影响可以忽略。峰值频率和自谐振频率的下降趋势基本是一致的。在目前的标准 CMOS 工艺下,在低 GHz 频段能够实现的片上螺旋变压器的插入损耗在 2.3dB 左右,这个性能可以满足一般的射频工作要求。使用多层金属并联方法可以进一步减小插入损耗,并联层次越

多,插入损耗越小,代价是线圈自感和自谐振频率也更低。而使用接近圆形的多边形版图可以获得更大的带宽。如果需要用作差分电感时,则根据上面的设计规律和仿真结果选择耦合系数尽可能大和线圈自感适当的设计即可。

### 3.5 片上巴伦设计

巴伦是在差分信号和单端信号之间实现平衡到不平衡转换的重要器件,其英文名称为 Balun,来源于英语 balanced-to-unbalanced。它在射频集成电路中具有广泛的应用,例如双平衡混频器、推拉式放大器、倍频器、功率放大器等。目前已经有很多种集总元件或者分布元件的无源巴伦电路被实现。Marchand 巴伦就是最常用的传输线巴伦结构。在此基础上还衍生出耦合微带线、Lange 耦合器、螺旋微带线、多层耦合结构等其他的实现方法。它们的优点是带宽较大,设计方法成熟;缺点是它们需要的版图尺寸通常在信号波长的数量级,所以在低于 15GHz 的频率范围需要消耗极大的芯片面积。而变压器结构的巴伦具有较宽的工作带宽和较小的芯片面积,因而相对于另外两种结构来说更为常用。

#### 3.5.1 片上巴伦技术指标

与变压器相比,巴伦的原边为单端输入信号,副边为双端输出差分信号,当它采用抽头变压器结构时,可以将其看作特殊的三端口变压器。因此巴伦具有与变压器类似的高耦合、低损耗的设计目标,除此以外,对称性的要求在巴伦设计中非常重要,它的两路输出必须具有相等的幅度和  $180^\circ$  的相位差。因此幅度不平衡度( $\zeta$ )和相位不平衡度( $\theta$ )是巴伦的重要性能指标,它们可以通过 S 参数计算得到:

$$\zeta = -20\lg \left| \frac{S_{21}}{S_{31}} \right| \quad (3-14)$$

$$\theta = 180 - \left| \arctan\left(\frac{\text{Im}(S_{21})}{\text{Re}(S_{21})}\right) - \arctan\left(\frac{\text{Im}(S_{31})}{\text{Re}(S_{31})}\right) \right| \quad (3-15)$$

当信号通过巴伦元件时,首先巴伦自身会消耗或者存储一部分能量,其次在不平衡端口处的相位不平衡同样会导致能量的损耗,因此,片上巴伦的插入损耗的定义必须考虑传输损耗和相位不平衡损耗两方面的影响。

$$\text{IL} = -10\lg(|S_{21}|^2 + |S_{31}|^2) - 10\lg\left(\frac{|S_{21}|^2 + |S_{31}|^2 + 2|S_{21}||S_{31}|\cos\theta}{|S_{21}|^2 + |S_{31}|^2 + 2|S_{21}||S_{31}|}\right) \quad (3-16)$$

当相位不平衡很小时可以忽略上式中的第二项,得

$$\text{IL} = -10\lg(|S_{21}|^2 + |S_{31}|^2) \quad (3-17)$$

#### 3.5.2 片上巴伦类型

在射频集成电路中使用最多的两种片上巴伦类型为变压器巴伦和 Marchand 巴伦。

## (1) 变压器巴伦

将变压器原边的一端接地，副边引出中心抽头作为输出参考地，即构成变压器巴伦结构。其原理与版图如图 3-36 所示。

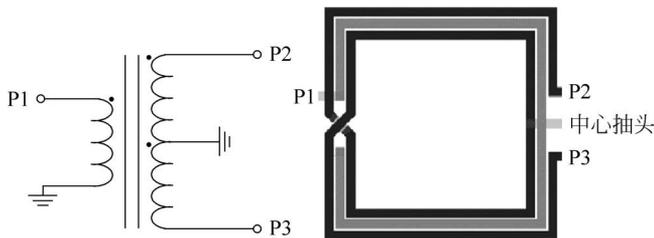


图 3-36 变压器巴伦原理图与版图结构

使用中心抽头螺旋变压器结构的巴伦的几何参数同样包括线宽、线间距、线圈直径以及匝数和匝数等。当线间距减小时，磁场和电场的耦合都会增大。从减小损耗的角度考虑，在一般射频工作条件下应当尽可能使用最小线间距。而根据变压器耦合系数  $k$  的定义，自感的增大会导致  $k$  减小。所以巴伦的设计一般采用  $N : (N + 1)$  的匝数和初、次级线圈相间的互绕方式，从而使初、次级线圈之间的互耦尽可能大，每级线圈的自耦较小。由于差分对称结构都需要交叉跨接部分，匝数越少越能够保证对称性。

## (2) Marchand 巴伦

Marchand 巴伦的优点在于带宽较大，设计方法成熟；缺点是所需版图尺寸通常与信号波长可相比拟，所以在低于 15GHz 的频率范围内这些结构需要占用较大的芯片面积。因而，早期 Marchand 巴伦在分立元件微波电路和 CaAs 单片微波集成电路中应用较多。然而，随着硅基射频集成电路的工作频率越来越高，在硅基射频集成电路中以传输线结构实现巴伦也逐渐成为可能。基本 Marchand 巴伦的原理图如图 3-37 所示。基本 Marchand 结构由 4 段  $\lambda/4$  传输线组成。当 Marchand 结构作为巴伦使用时，端口 1 为单端端口，而端口 2 与端口 3 为差分端口。与  $B$ 、 $B'$  连接的传输线右端开路。由于  $\lambda/4$  传输线阻抗变化作用，使  $B$ 、 $B'$  的输入阻抗为零，即  $B$ 、 $B'$  之间相当于短路。因此，差分端口 3 与图中  $A$  点之间相当于短路连接。从形式上看，Marchand 结构显得有些冗余。但实际上，这正是 Marchand 结构性能优于一般传输线结构的关键。首先，与  $B$ 、 $B'$  连接的传输线提供了第二谐振点，拓展了巴伦的带宽；其次，在芯片上集成实现时，与  $A'$ 、 $B'$  连接的传输线与作为“地”的金属层之间分别形成双线传输线，且它们与“地”之间的阻抗为偶模阻抗。这两个双线传输线一端分别与差分端口相连，另一端分别接地，因此这两个双线传输线分别形成了  $\lambda/4$  短路传输线。由于  $\lambda/4$  传输线的阻抗变换作用，差分端口的偶模输入阻抗为高阻，相应偶模电流分量很小。

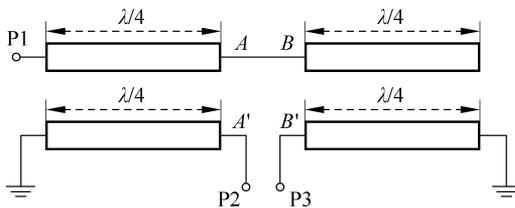


图 3-37 基本 Marchand 巴伦原理图

在 Marchand 巴伦中,由于所需传输线的总长度达到  $\lambda/2$ ,因此如果直接按照基本结构进行版图设计,可能使得巴伦的最终版图形成一种狭长形结构,而这种结构在版图设计中应当尽量避免。此外,在基本 Marchand 结构中,与差分端口相连的两条传输线接“地”点分别在端口两边,没有中心抽头点。而在电路设计中,常常需要通过中心抽头点向电路中的有源器件提供直流偏置。为此提出了各种改进结构的 Marchand 巴伦。在这些改进结构中,图 3-38 所示的叠层耦合线结构 Marchand 巴伦最适合以具有多层加厚金属的硅基工艺实现。

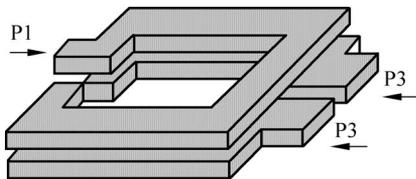


图 3-38 叠层耦合线结构 Marchand 巴伦示意图

### 3.5.3 巴伦设计案例分析

设计指标如下。

频率范围:  $8\sim 12\text{GHz}$ ;

插入损耗: 小于  $2\text{dB}$ ;

幅值不平衡度: 小于  $1\text{dB}$ ;

相位不平衡度: 小于  $5^\circ$ 。

#### 1. 版图设计

本案例中变压器巴伦仍采用中心对称互绕式结构,其中一次侧和二次侧线圈匝数为 3,线宽为  $10\mu\text{m}$ ,线间距为  $2\mu\text{m}$ ,变压器外径为  $280\mu\text{m}$ 。在线圈的交叉跨接部分使用更低的 M8 和 M7 金属层进行过渡,在二次侧线圈中心点处通过孔连接到 M7 金属层引出中心抽头,设置端口 P5; P1 和 P2 为一次侧线圈端口,属性为 M9 金属层; P3 和 P4 为二次侧线圈端口,属性为 M7 金属层。变压器巴伦的版图结构如图 3-39 所示。

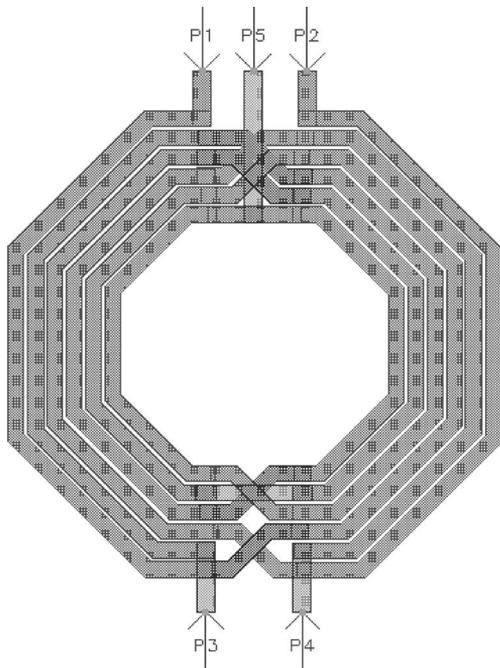


图 3-39 变压器巴伦版图

#### 2. 版图仿真设置

在版图中单击菜单 EM—Simulation Setup (或工具栏中图标 )，在仿真设置主界面中设置 Setup Type 为 EM Simulation/Model, EM Simulator 为 Momentum Microwave,然后在左栏 Substrate 设置中,选择衬底文件 gpdk090。在左栏 Ports 设置中,可以看到出现 5 个端口 1、2、3、4 和 5,默认端口 1 中正极性端为 P1,负极性端为 Gnd,端口 2 中正极性端为 P2,负极性端为 Gnd,其余端口类似,端口默认的参考点均为地平面。在左栏 Frequency plan 设置中,选择频率扫描类型 type 为 Adaptive,起始频率 Fstart 为  $0\text{GHz}$ ,终止频率 Fstop 为  $20\text{GHz}$ ,仿真点数 Npts 为 50,Enabled 项前面打钩。其余设置默认。仿真设置完成后,单击菜单 EM—

Simulate 或工具栏中图标, 运行 EM 仿真。

### 3. 原理图协同仿真

因为版图中并未将一次侧终端接地, 所以版图仿真后得到的 5 端口 S 参数并不能用于直接得到三端口巴伦的性能参数, 需要在原理图中使用 S5P 组件将端口进行正确连接后才能获得巴伦的性能参数。在原来的工程单元中新建原理图, 在左栏 Data Items 面板中调入 S5P 组件, 设置属性 File 为版图仿真数据文件, Filetype 为 Dataset。将 S5P 的端口 2 接地, 中心抽头端口 5 接地。在原理图中插入 S 参数仿真器, 设置起始频率 Start 为 1GHz, 终止频率 Stop 为 20GHz, 步进频率 Step 为 0.1GHz。原理图如图 3-40 所示。仿真结果见图 3-41 和图 3-42。

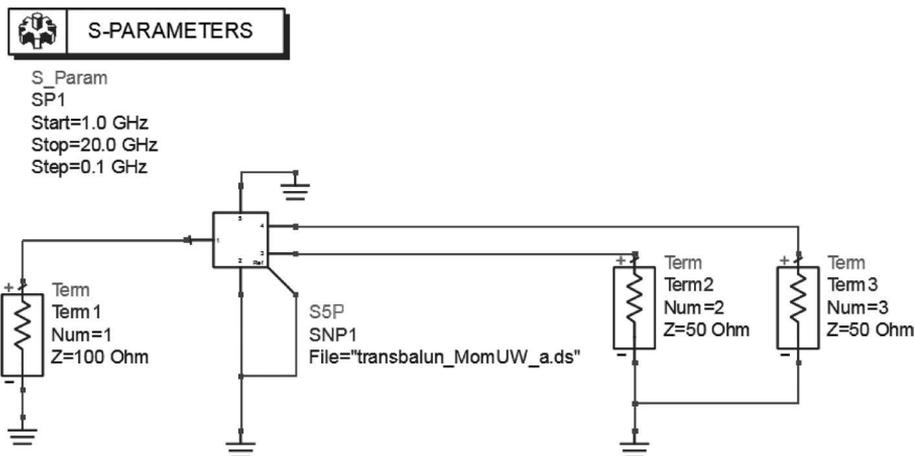


图 3-40 巴伦仿真原理图

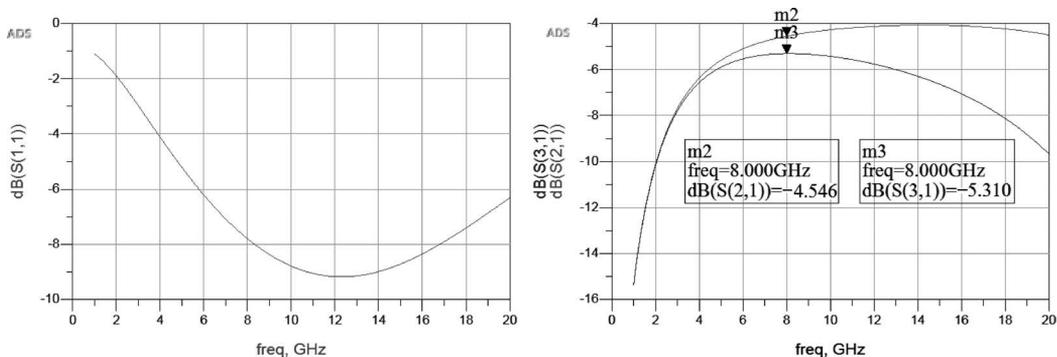


图 3-41 巴伦的 S 参数

通过图 3-41 和图 3-42 的仿真结果可以看出, 所设计的巴伦基本能够达到指标要求, 两个输出端口的幅度之差在 8GHz 时为 0.76dB, 插入损耗在 8~12GHz 内小于 2dB, 相位差在 8GHz 时为 179.9°, 相位不平衡度小于 1°。

在实际的变压器巴伦设计中需要注意接地方式的影响, 变压器巴伦的一个重要优点就在于能够通过其差分次级中心抽头为电路中的有源器件提供直流偏置。因此, 变压器巴伦的差分次级中心抽头点实际上是交流信号接“地”点。变压器巴伦差分次级中心抽头和单端初级的交流信号接“地”点之间应当是交流等电位, 实际都等于零电位。然而, 需要注意的

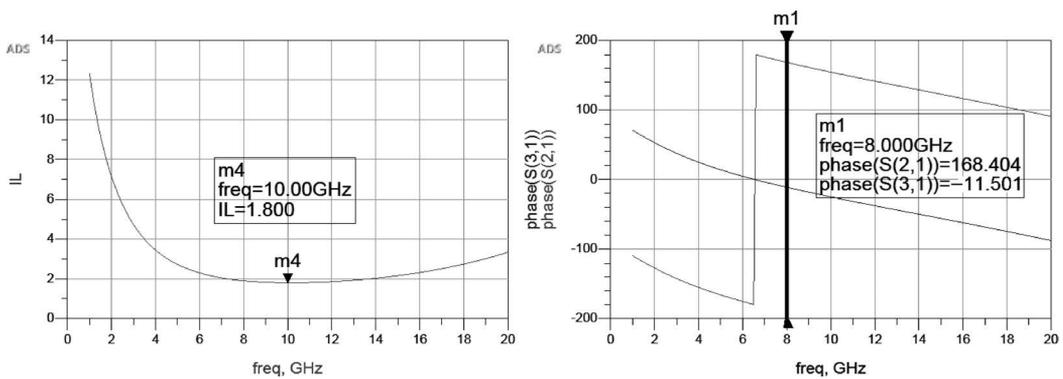


图 3-42 插入损耗与相位

是,在芯片上中心抽头接“地”点与单端接“地”点之间虽然等电位,但这二者之间不能在芯片上直接短路连接。用电路分析的术语表述,也就是说中心抽头与单端接“地”点之间不能共“地”。二者之间共“地”将会导致片上集成变压器巴伦性能出现恶化。出现上述现象的原因在于,共“地”与不共“地”两种方式中,信号电流的回流路径不同。所谓回流路径是指信号电流从“地”返回至信号源的路径。