

1.1 半导体技术发展现状

半导体产业是现代信息技术的基础,其发展历程可清晰地划分为三个重要阶段:晶体管时代、集成电路时代和纳米电子时代。这一演进过程的核心驱动力始终是器件的微缩化、集成度提升以及新材料的引入,每一次技术突破都深刻改变了人类社会的生产方式与生活方式。

1.1.1 技术演进:从晶体管到纳米时代

半导体技术的起源可以追溯到 1947 年 12 月 23 日,贝尔实验室的威廉·肖克利、约翰·巴丁和沃尔特·布拉顿成功研制出世界上第一个锗点接触晶体管。这一发明彻底改变了电子工业的发展轨迹,三位科学家也因此共同获得了 1956 年诺贝尔物理学奖。点接触晶体管虽然具有放大作用,但存在稳定性差、噪声大、制造工艺难以标准化等缺点。1950 年,肖克利团队开发出更为成熟的 pn 结型晶体管,这一改进型晶体管通过控制半导体材料中的载流子运动来实现信号放大,不仅解决了早期晶体管的稳定性问题,更为后续集成电路的发展奠定了物理基础。1954 年,德州仪器(TI)公司推出了首个商用硅晶体管,标志着硅基半导体开始成为主流。硅材料相比锗具有更高的热稳定性和更丰富的自然资源,这一材料选择对半导体产业的后续发展产生了深远影响。

1958 年,德州仪器公司的杰克·基尔比成功研制出世界上第一块集成电路,在一块锗晶片上集成了 12 个元件,这一突破性发明使他获得了 2000 年诺贝尔物

理学奖。1959年,仙童半导体公司的罗伯特·诺伊斯开发出基于硅衬底和铝互连的平面工艺,实现了可大规模生产的单片集成电路,解决了基尔比设计中元件间手工连线的瓶颈问题。20世纪60—70年代是集成电路技术快速发展的黄金时期。1962年,互补金属氧化物半导体(CMOS)技术问世,其低功耗特性成为现代电子设备的基础;1965年,戈登·摩尔提出著名的“摩尔定律”,预测集成电路上可容纳的晶体管数量每18~24个月便会增加一倍;1971年,英特尔公司推出全球第一款商用微处理器4004,内含2300个晶体管,开启了现代计算革命。20世纪80—90年代,半导体技术继续沿着摩尔定律的轨迹发展。动态随机存储器(DRAM)和闪存(NAND flash)技术逐渐成熟,成为存储市场的主导产品。光刻技术从g-line(436nm)演进至深紫外(DUV,193nm),支撑了制程工艺从 $0.35\mu\text{m}$ 向90nm的跨越。这一时期,半导体产业开始形成设计、制造、封装测试的专业化分工模式。

进入21世纪,半导体技术正式迈入纳米尺度时代。2003年,90nm工艺实现量产,应变硅技术的引入显著提升了载流子迁移率;2007年,英特尔公司在高性能处理器中首次采用高 κ 金属栅(HKMG)技术,有效解决了晶体管尺寸缩小带来的漏电问题;2011年,鳍式场效应晶体管(FinFET)在英特尔公司22nm工艺中实现商用,取代传统平面晶体管结构,成为主流技术。2019年,台积电(TSMC)公司率先量产7nm极紫外(EUV)光刻工艺,华为麒麟980处理器成为首款采用该工艺的商用芯片,单个芯片上集成了约70亿个晶体管。2022年,半导体制造技术进入3nm节点,环绕栅极(GAA)晶体管结构开始取代FinFET,进一步延续摩尔定律的生命周期^[1]。2024年,芯片先进制造技术进入2nm节点,继续采用GAA晶体管结构。台积电公司新一代工艺节点承诺在相同电压下实现24%~35%的功耗降低或15%的性能提升,同时其晶体管密度是上一代3nm制程的1.15倍^[2]。如图1.1所示,2nm平台技术包括新型的铜金属化层与三维(3D)集成系统协同优

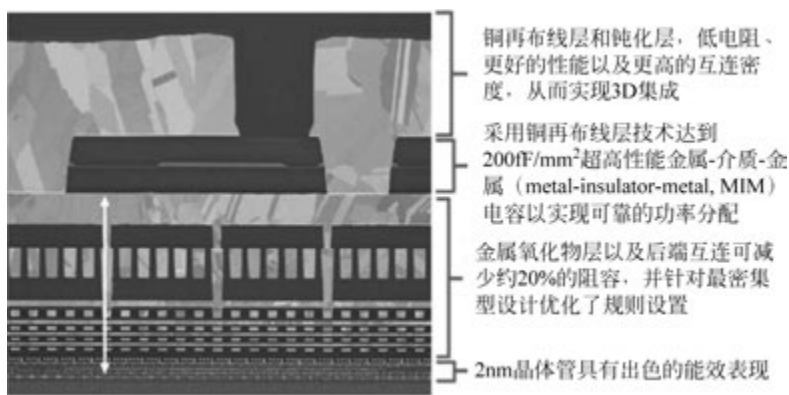


图 1.1 台积电公司 2nm 平台技术^[2]

化。这一阶段,半导体技术的发展已逼近物理极限,产业界开始探索新材料、新结构和系统级创新。

1.1.2 人工智能的兴起与半导体产业的变革

人工智能尤其是深度学习技术的快速发展,对计算能力提出了前所未有的需求,这一需求正深刻改变着半导体产业的发展方向。传统 CPU 架构难以满足矩阵运算的需求,图形处理器(GPU)因其并行计算优势成为 AI 训练的主流硬件,英伟达(NVIDIA)公司凭借计算统一设备体系结构(CUDA)架构建立起强大的生态壁垒^[3]。为突破“内存墙”限制,存算一体(PIM)技术成为研究热点。SK 海力士推出的 HBM-PIM 将处理单元嵌入存储芯片,旨在减少数据搬运带来的延迟和能耗^[4]。神经形态芯片则另辟蹊径,IBM 公司的 TrueNorth 芯片模拟人脑的突触结构^[5],在低功耗场景下展现出独特优势。芯粒(chiplet)架构的兴起也得益于 AI 技术的支持。通过将大型芯片分解为多个小芯片进行异构集成,既降低了先进制程的使用成本,又提高了设计灵活性。这一架构需要复杂的互连技术和先进的封装工艺,AI 算法在优化芯片间通信和热管理方面发挥着关键作用。

展望未来,人工智能与半导体技术的融合将催生更多创新方向。量子计算芯片可能突破传统计算的极限,超导和硅基量子比特技术虽然需要极低温环境,但已在特定算法上展现出巨大潜力。光计算芯片利用光子代替电子进行信息处理,硅光子集成技术有望大幅提升 AI 计算的能效比。生物芯片则开辟了全新的技术路线,DNA 存储技术利用生物分子作为信息载体,类脑计算芯片模拟生物神经系统的运作机制,有望实现人类水平的能效比和自适应能力。这些前沿技术的发展都依赖于半导体材料、器件和封装技术的持续创新。

半导体产业与人工智能的协同发展正在重塑全球科技格局。一方面,AI 应用的蓬勃发展为半导体创新提供了强劲需求;另一方面,半导体技术的进步又为 AI 算法提供了更强大的硬件支持。在这一双向驱动下,未来将涌现更多突破性技术,持续推动数字经济的发展与变革。各国在这一战略领域的竞争与合作,将深刻影响 21 世纪的全球经济与政治格局。

1.2 先进封装技术发展

在摩尔定律逐渐放缓的背景下,先进封装技术已成为延续半导体产业发展的重要引擎。传统意义上,封装只是芯片制造的最后环节,主要提供保护和连接功能;而现代先进封装已发展为提升系统性能、降低功耗、缩小尺寸的核心技术手段。随着人工智能应用的爆发式增长,对芯片算力、存储带宽和能效比提出了前所

未有的高要求,这进一步推动了封装技术从“后端辅助”向“系统级创新”的转变。在这一进程中,先进封装不仅解决了芯片性能提升的物理限制,更成为异构计算时代的关键使能技术。

1.2.1 封装的技术演进

半导体封装技术经历了从简单到复杂、从单一功能到系统集成的演变过程。传统封装仅作为“芯片外壳”,主要提供机械保护和电气连接功能;而现代先进封装已发展为复杂的系统级集成技术,其功能范畴大幅扩展:电气互连功能已从简单的引脚连接发展为高密度、高带宽的互连网络。物理保护功能不仅要应对机械应力和环境侵蚀,还需解决多材料体系的热膨胀系数(CTE)匹配问题。热管理功能随着芯片功耗的提升而变得至关重要。高端 AI 训练芯片的功耗可达 400~600W,相当于一个小型电热器的功率。先进封装采用嵌入式微流道、均热板等创新结构,将热阻降低。系统集成功能成为先进封装最具革命性的发展方向。通过将逻辑芯片、存储器、射频模块等异构元件集成在一个封装内,可大幅提升系统性能并降低功耗。

20 世纪 70—90 年代:从通孔插装到表面贴装。这一阶段见证了封装技术从手工组装向自动化生产的转变。通孔插装技术(THT)采用穿孔式引脚,适合早期双列直插封装(DIP);20 世纪 80 年代兴起的表面贴装技术(SMT)使封装尺寸缩小 40%以上,推动了球栅阵列(BGA)封装的发展。英特尔公司 1996 年推出的 Pentium Pro 处理器采用 BGA 封装,引脚数从 DIP 的 68 个激增至 387 个,为高性能计算奠定了基础。

21 世纪 00 年代:晶圆级封装革命。进入 21 世纪,晶片级芯片尺寸封装(wafer-level chip-scale packaging, WLCSP)和倒装芯片(flip-chip)技术改变了传统封装流程。WLCSP 直接在晶圆上完成封装工序,使封装尺寸接近裸芯片大小;倒装芯片技术用焊球替代键合线,互连长度从毫米级缩短至微米级。2006 年,索尼公司在 PS3 处理器中采用倒装芯片技术,使信号延迟降低 60%,功耗下降 25%。

21 世纪 10 年代至今:系统级集成时代。这一时期出现了三大技术路线:2.5D 封装通过硅中介层实现多芯片互连,台积电公司的基板上晶圆芯片(chip on wafer on substrate, CoWoS)技术将 GPU 与高带宽存储器(HBM)整合,带宽达到传统 DDR5 的 10 倍以上;3D IC 采用硅通孔(through-silicon via, TSV)技术垂直堆叠芯片,美光公司的 HBM3 内存堆叠 8 层 DRAM,厚度不足 1mm 却提供 460GB/s 带宽;系统级封装(SiP)实现异质集成,例如苹果公司 Watch Series 7 将处理器、内存、传感器等 16 颗芯片集成在 1 个封装内,体积比传统方案缩小 75%。

近年来,异构集成技术成为最新的热点,chiplet 技术通过模块化设计突破单芯

片尺寸限制。AMD 公司的 EPYC 处理器采用台积电公司 3D Fabric 技术^[6],将 8 个 7nm 计算芯片与 1 个 12nm 输入/输出(I/O)芯片集成,晶体管总数达 398 亿个,而成本比单片设计低 40%。英特尔公司推出的嵌入式多芯片互连桥(EMIB)技术,芯片间互连密度达到传统印刷电路板(PCB)的 1000 倍^[7]。光电子集成将硅光子器件与电子芯片共封装,解决数据传输瓶颈。英特尔公司的共封装光学(CPO)技术将光引擎与交换机芯片集成,使 800G 光模块的功耗从 14W 降至 6W^[8]。同时,新材料与新工艺的使用也使先进封装得到进一步的发展。混合键合(hybrid bonding)技术将铜互连与介质键合同步完成,互连间距可缩小至 $1\mu\text{m}$ 以下。台积电公司的 SoIC 技术采用该工艺,使 3D 堆叠的互连密度达到传统 TSV 的 200 倍^[9]。

1.2.2 先进封装的前沿技术

近些年,先进封装技术越发重要,本节将对先进封装的前沿技术进行介绍。

倒装芯片技术是一种将芯片直接倒置并焊接在基板上的封装技术^[10],如图 1.2 所示。与传统的引线键合技术不同,倒装芯片通过焊球或凸点(bump)将芯片的 I/O 端口直接连接到基板上。这种技术通常使用焊料凸点或铜柱凸点来实现电气连接,并通过底部填充材料(underfill)来增强机械强度和热性能。倒装芯片技术最早由 IBM 公司在 20 世纪 60 年代开发,最初用于大型计算机的高性能封装。随着半导体技术的进步,倒装芯片技术在 20 世纪 90 年代逐渐普及,特别是在高性能计算、通信和消费电子领域。近年来,随着 5G、人工智能和物联网的兴起,倒装芯片技术在高速、高密度封装中的应用越来越广泛。倒装芯片技术可以提供高密度互连,因互连路径短而具备优异的电性能(低寄生电感/电容),良好的热管理(芯片直接接触基板散热),以及小型化封装。倒装芯片技术广泛应用于高性能计算、通信设备、图形处理器、移动设备、汽车电子和物联网设备等领域。特别是在 5G 基站、人工智能芯片和高性能图形处理器芯片中,倒装芯片技术已成为主流封装方案。

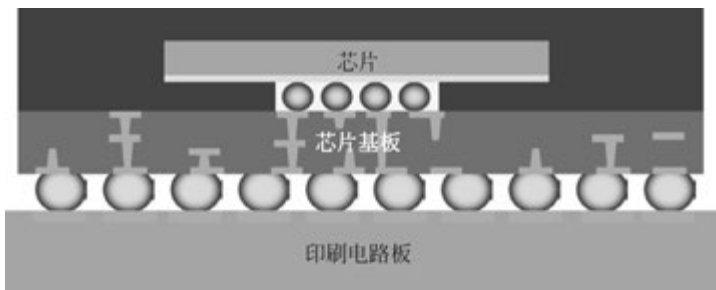


图 1.2 倒装芯片技术

叠层封装技术(stacked die packaging)是一种将多个芯片垂直堆叠在同一封装内的技术^[10],示意图如图 1.3 所示。通过使用硅通孔或引线键合(wire bonding)实现芯片间的互连,叠层封装技术可以在不增加封装面积的情况下,显著提高封装密度和性能。叠层封装技术最早出现在 20 世纪 90 年代,主要用于存储器的堆叠封装,如多芯片模块(MCM)。随着硅通孔技术的成熟,叠层封装技术在 21 世纪初得到了快速发展,特别是在移动设备和消费电子领域。近年来,随着三维集成技术的进步,叠层封装技术在高性能计算和人工智能芯片中的应用越来越广泛。叠层封装技术通过垂直堆叠实现高密度集成和显著小型化,缩短互连长度,降低延迟和功耗,并能集成不同功能芯片实现系统级封装。叠层封装技术广泛应用于移动设备、存储器模块、高性能计算、人工智能芯片和物联网设备等领域。特别是在智能手机、平板电脑和可穿戴设备中,叠层封装技术已成为实现高密度集成的关键技术。

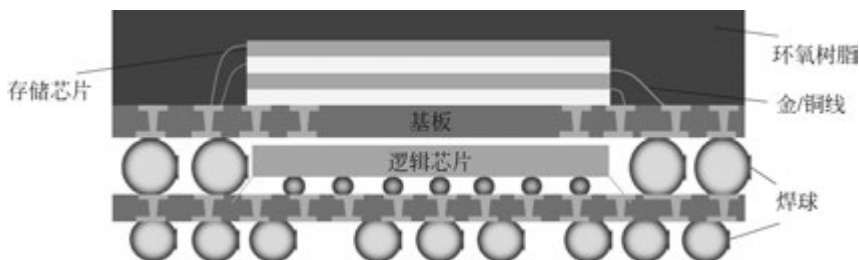


图 1.3 叠层封装技术

圆片级芯片尺寸封装技术是一种在圆片级别完成封装的先进技术^[10],如图 1.4 所示。与传统封装技术不同,WLCSP 在圆片切割之前完成封装工艺,封装后的芯片尺寸几乎与裸芯片相同,因此称为“芯片尺寸封装”。WLCSP 技术最早在 20 世纪 90 年代开发,最初用于低成本、低引脚数的芯片封装。随着移动设备的普及,WLCSP 技术在 21 世纪初得到了广泛应用,特别是在射频芯片、传感器和电源管理芯片中。近年来,随着 5G 和物联网的兴起,WLCSP 技术在高频和高密度封装中的应用越来越广泛。WLCSP 技术可以实现超小型化(芯片尺寸封装),互连路径



图 1.4 圆片级芯片尺寸封装技术

短带来优异电性能(低寄生电感/电容),在圆片级封装降低成本,并具有高可靠性。WLCSP 技术广泛应用于移动设备、射频芯片、传感器、电源管理芯片和物联网设备等领域。特别是在智能手机、可穿戴设备和物联网传感器中,WLCSP 技术已成为实现超小型化封装的主流方案。

扇出型圆片级封装(fan-out wafer-level packaging,FOWLP)技术是一种在圆片级别完成封装的先进技术^[10],如图 1.5 所示。与 WLCSP 不同,FOWLP 通过再布线层(redistribution layer,RDL)将芯片的 I/O 端口扩展到芯片边缘之外,从而实现更高的 I/O 密度和更灵活的封装设计。FOWLP 技术最早由英飞凌公司在 20 世纪 00 年代初开发,最初用于低成本、高引脚数的芯片封装。随着移动设备的普及,FOWLP 技术在 21 世纪 10 年代得到了广泛应用,特别是在应用处理器、射频芯片和电源管理芯片中。近年来,随着 5G 和人工智能的兴起,FOWLP 技术在高性能和高密度封装中的应用越来越广泛。FOWLP 技术利用 RDL 实现高 I/O 密度和灵活的封装设计,互连路径短带来优异电性能(低寄生电感/电容),圆片级封装有助于降低成本。FOWLP 技术广泛应用于移动设备、应用处理器、射频芯片、电源管理芯片和人工智能芯片等领域。特别是在智能手机、平板电脑和 5G 基站中,FOWLP 技术已成为实现高性能封装的主流方案。

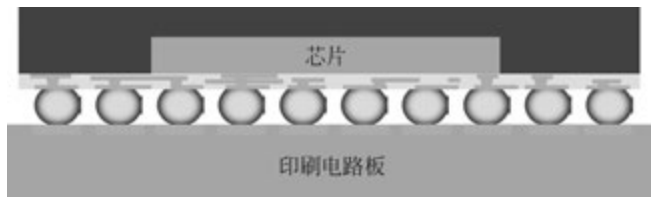


图 1.5 扇出型圆片级封装技术

硅通孔(TSV)封装技术是一种通过在硅片中制作垂直通孔来实现芯片间互连的先进技术^[10],2.5D 转接板技术的示意图如图 1.6 所示,其中存在大量的 TSV 三维互连结构,通过垂直互连实现高密度集成和短互连路径。TSV 技术最早由 IBM 公司在 20 世纪 90 年代开发,最初用于高性能计算和存储器的三维集成。随着半导体技术的进步,TSV 技术在 21 世纪初得到了广泛应用,特别是在存储器和图像传感器中。近年来,随着人工智能和高性能计算的兴起,TSV 技术在三维集成和高密度封装中的应用越来越广泛。TSV 技术提供高密度集成和极短的垂直互连路径,显著降低延迟和功耗,优异的电性能(低寄生电感/电容)适合高频应用,并能实现不同功能芯片的系统级集成。TSV 技术广泛应用于高性能计算、存储器、图像传感器、人工智能芯片和三维集成封装等领域。特别是在 HBM 和三维堆叠芯片中,TSV 技术已成为实现高密度集成的关键技术。

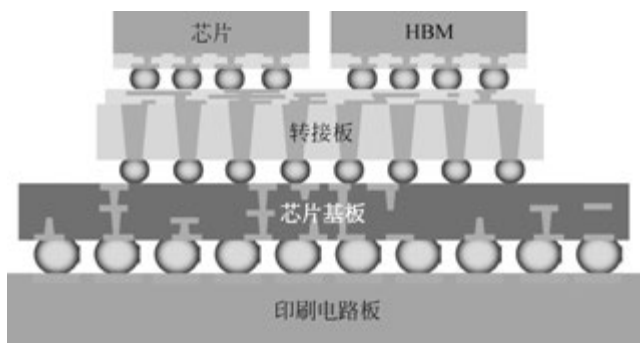


图 1.6 2.5D 转接板技术

三维封装(3D packaging)技术是一种将多个芯片垂直堆叠并通过硅通孔或微凸点(micro bump)实现互连的先进封装技术^[10],如图 1.7 所示。三维封装技术可以显著提高封装密度和性能,同时缩短互连路径。三维封装技术最早由 IBM 公司在 20 世纪 90 年代开发,最初用于高性能计算和存储器的三维集成。随着半导体技术的进步,三维封装技术在 21 世纪初得到了广泛应用,特别是在存储器和图像传感器中。近年来,随着人工智能和高性能计算的兴起,三维封装技术在高密度封装中的应用越来越广泛。三维封装技术通过垂直堆叠实现高密度集成和显著小型化,极短的互连路径降低延迟和功耗,优异的电性能(低寄生电感/电容)适合高频应用,并能集成不同功能芯片实现系统级封装。三维封装技术广泛应用于高性能计算、存储器、图像传感器、人工智能芯片和三维集成封装等领域。特别是在 HBM 和三维堆叠芯片中,三维封装技术已成为实现高密度集成的关键技术。

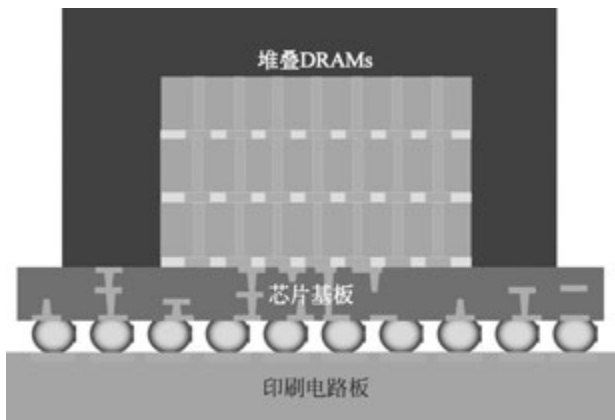


图 1.7 三维封装技术

系统级封装技术是一种将多个芯片和被动元件集成在同一封装内的先进封装技术^[10],如图 1.8 所示。通过将不同功能的芯片(如处理器、存储器、传感器等)集成在同一封装内,SiP 技术可以实现系统级的功能集成。SiP 技术最早由日本的电子公司在 20 世纪 90 年代开发,最初用于低成本、高密度封装。随着半导体技术的进步,SiP 技术在 21 世纪初得到了广泛应用,特别是在移动设备和消费电子领域。近年来,随着 5G 和物联网的兴起,SiP 技术在高密度封装中的应用越来越广泛。SiP 技术实现系统级的高密度功能集成,芯片间短互连路径降低延迟和功耗,优异的电性能(低寄生电感/电容)适合高频应用。SiP 技术广泛应用于移动设备、消费电子、汽车电子、通信设备和物联网设备等领域。特别是在智能手机、可穿戴设备和物联网传感器中,SiP 技术已成为实现系统级封装的主流方案。

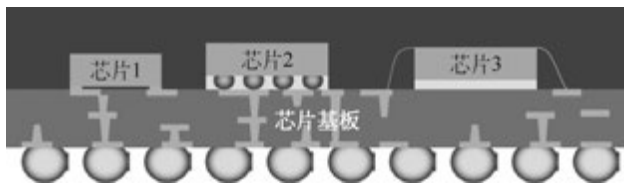


图 1.8 系统级封装技术

1.2.3 人工智能对封装技术的要求

随着 AI 应用对高效率和高性能芯片的需求增加,先进封装技术的重要性与日俱增。首先,需要超高互连密度与带宽,AI 训练对内存带宽的要求呈指数级增长,AI 训练需 TB 级内存带宽支撑大规模并行计算。英伟达公司 H100 GPU 集成 6 颗 HBM3 内存,总带宽达 3TB/s,这需要每颗封装内包含超过上万个硅通孔实现超高垂直互连密度^[11]。其次,存算一体异构集成可突破冯·诺依曼瓶颈,通过近存/存内计算技术实现能效比提升,例如,SK 海力士公司 HBM-PIM 将计算单元嵌入存储堆栈缩短数据搬运路径^[4]。此外封装结构需要极致的散热能力,针对 AI 芯片 $1\text{kW}/\text{cm}^2$ 级热流密度,需集成嵌入式冷却方案等,并借力 AI 仿真工具(如 ANSYS Icepak)预测热点优化设计。最后,多物理场协同仿真技术 AI 芯片封装具有重要意义,结合热力-电磁-机械耦合分析预测失效风险(如 TSV 应力裂纹),实现芯片-封装协同设计。未来技术将向晶圆级 3D 甚至面板级混合键合、嵌入式热电冷却及光互连存算一体芯片演进,使封装从辅助角色转变为 AI 算力提升的重要支柱。

1.3 玻璃通孔技术和玻璃基板技术的发展

近年来,随着 5G 通信、高性能计算、人工智能、毫米波雷达等先进电子系统的快速发展,芯片封装技术面临着更高频率、更高互连密度、更小尺寸以及更强系统集成能力的挑战。传统基于有机材料或硅中介层的封装方式,逐渐难以满足高速信号传输、低损耗、高可靠性和热管理等综合需求。因此,封装材料和结构的革新成为推动半导体封装技术进步的重要方向。玻璃作为一种高绝缘性、高热稳定性、低介电常数材料,逐渐受到封装领域的广泛关注。特别是通过引入玻璃通孔(through glass via, TGV)技术,可以在玻璃基板上实现高密度垂直互连,使得玻璃基板具备在高频、高速、高集成封装中的巨大潜力^[12]。TGV 不仅改善了传统封装结构中的电信号完整性问题,还为系统级封装和异构集成提供了新的解决方案^[13]。

TGV 结构的形成通常包含三大核心步骤:通孔的形成、金属化填充以及再布线层的构建。其中,激光钻孔技术、化学蚀刻技术、等离子体干法刻蚀技术等在不同应用场景中各有适用。而后续的金属化工艺则大多采用物理气相沉积(PVD)种子层结合电镀填充铜的方式,构建通孔内部导通路径。再布线层则用于实现芯片与系统之间的信号/电源完整互连,是构建复杂封装系统的关键部分。

从时间轴来看,TGV 技术的发展可大致分为三个阶段。第一阶段是 2000 年前后的探索期,主要集中在通孔可行性研究及早期激光加工技术的尝试。第二阶段是 2005 年至 2015 年,激光微加工、金属化填孔技术不断进步,玻璃通孔结构逐渐具备实用化基础。第三阶段自 2015 年至今,TGV 技术逐步实现产业化落地,部分高端封装产品(如高频模组、光电互连模块)已采用 TGV 结构,并推动 TGV 玻璃基板向中介层封装方向演进。

目前,国际上以康宁(Corning)、肖特(Schott)、旭硝子(AGC)、LG Innotek、三星(Samsung)等公司为代表,持续推进玻璃基板产品的开发与商用部署。其中,Corning 公司开发的专用 TGV 玻璃在尺寸稳定性与机械性能上具有显著优势。AGC 公司与 LG 公司则更侧重于模组封装解决方案与中介层系统整合。Schott 公司在光学级玻璃与高速互连方向具有明显技术积累。与此同时,国内如深南电路股份有限公司、江苏长电科技股份有限公司、中芯国际集成电路制造有限公司等企业也积极布局 TGV 工艺线,力图在下一代封装材料领域实现国产替代与自主可控。

在应用方面,TGV 技术已广泛用于射频前端模组(RFFE)、毫米波雷达封装、高速光电互连、增强现实/虚拟现实(AR/VR)光学模块以及先进传感器系统等领